

PONTIFÍCIA UNIVERSIDADE CATÓLICA DE MINAS GERAIS
Programa de Pós-Graduação em Engenharia Elétrica

Wesley Oliveira Maia

**REDUÇÃO DA DISTORÇÃO HARMÔNICA EM INVERSORES A 3-NÍVEIS COM
CAPACITOR FLUTUANTE:
análise, desenvolvimento e implementação em ambiente DSP**

Belo Horizonte
2012

Wesley Oliveira Maia

**REDUÇÃO DA DISTORÇÃO HARMÔNICA EM INVERSORES A 3-NÍVEIS COM
CAPACITOR FLUTUANTE:
análise, desenvolvimento e implementação em ambiente DSP**

Dissertação apresentada ao programa de Pós-Graduação em Engenharia Elétrica da Pontifícia Universidade Católica de Minas Gerais, como requisito parcial para obtenção de título de Mestre em Engenharia Elétrica

Orientador: Prof^a. Dr^a. Zélia Myriam Assis Peixoto

Belo Horizonte
2012

FICHA CATALOGRÁFICA

Elaborada pela Biblioteca da Pontifícia Universidade Católica de Minas Gerais

M217r Maia, Wesley Oliveira
Redução da distorção harmônica em inversores a 3-níveis com capacitor flutuante: análise, desenvolvimento e implementação em ambiente DSP / Wesley Oliveira Maia. Belo Horizonte, 2012.
147f.: il.

Orientador: Zélia Myriam Assis Peixoto
Dissertação (Mestrado) - Pontifícia Universidade Católica de Minas Gerais.
Programa de Pós-graduação em Engenharia Elétrica.

1. Inversores elétricos. 2. Capacitores. 3. Modulação de pulso (Eletrônica). 4. Harmônicos (Ondas elétricas). I. Peixoto, Zélia Myriam Assis. II. Pontifícia Universidade Católica de Minas Gerais. Programa de Pós-Graduação em Engenharia Elétrica. III. Título.

SIB PUC MINAS

CDU: 621.314.26

Wesley Oliveira Maia

**REDUÇÃO DA DISTORÇÃO HARMÔNICA EM INVERSORES A 3-NÍVEIS COM
CAPACITOR FLUTUANTE:
análise, desenvolvimento e implementação em ambiente DSP**

Dissertação apresentada ao programa de Pós-Graduação em Engenharia Elétrica da Pontifícia Universidade Católica de Minas Gerais, como requisito parcial para obtenção de título de Mestre em Engenharia Elétrica

Prof^a. Dr^a. Zélia Myriam Assis
Peixoto(Orientadora)- PUC Minas

Prof. Dr. Mário Fabiano Alves - PUC Minas

Prof. Dr. Paulo Fernando Seixas - UFMG

Belo Horizonte, 26 de Outubro de 2012.

Dedico este trabalho...

Aos meus pais Wanderley (in memoriam) e Odete.

Às minhas irmãs Eva e Weslaine.

À minha esposa Kerlley e filha Maria Luísa.

...por tudo o que vocês representam em minha vida.

AGRADECIMENTOS

Primeiramente agradeço a Deus por me conceder saúde e determinação ao longo desses anos. À Prof^a. Dr^a. Zélia Myriam Assis Peixoto pela orientação, dedicação e incentivo durante a elaboração deste trabalho. Aos Prof(s). Francisco Garcia e Lauro de Vilhena pela colaboração na concepção e implementação experimental do projeto.

Aos colegas Cleidson Oliveira e Victor Nazareth pela ajuda imprescindível na realização dos testes experimentais. Ao Willian pela ajuda na elaboração do *template* do LaTeX. Aos demais professores, funcionários e colegas do Programa de Pós-Graduação em Engenharia Elétrica pelo companheirismo e solidariedade.

Aos meus pais, Wanderley (in memoriam) e Odete, pela compreensão e incentivo nos momentos difíceis. Às minhas irmãs Eva e Weslaine pela amizade e paciência. À Kerlley e Maria Luísa, meus dois amores, por estarem comigo quando eu mais precisei de conforto.

Ao PPGEE/PUCMinas e à CAPES pelo apoio acadêmico, científico e financeiro.

*“As pessoas que vencem neste mundo são as que procuram
as circunstâncias de que precisam e, quando não as encontram, as criam.
(George Bernard Shaw)*

RESUMO

Este trabalho visa à redução do conteúdo harmônico dos sinais de saída de inversores multiníveis, para aplicações em sistemas de acionamento elétrico de corrente alternada. Com ênfase no conversor trifásico CC/CA a 3-níveis com capacitor flutuante, é inicialmente apresentada uma revisão bibliográfica, buscando-se destacar a importância do tema na atualidade, o estado da arte e os fundamentos teóricos envolvidos. Com base na técnica de modulação por largura de pulsos por vetor espacial (*space vector pulse width modulation* - SVPWM) e, especificamente, em relação ao tratamento do conteúdo harmônico das correntes e tensões de saída do inversor, o projeto trata da aplicação de técnicas para o balanceamento das tensões dos capacitores flutuantes do inversor. São avaliadas, através de simulação e experimentalmente, a estratégia clássica do controle de 2-níveis, controle de 3-níveis e a estratégia 2-níveis associada ao controle de máximo de corrente. Ainda neste contexto, são apresentados resultados preliminares de um esquema modificado da modulação baseada em portadoras, obtido a partir da versão LSPWM - PDPWM (*level shift -phase disposition* PWM) incluindo a injeção da 3ª harmônica. As simulações, desenvolvidas em ambiente MATLAB, envolveram todas as modalidades de controle abordadas e análises comparativas com base em critérios usuais para a medida de desempenho em relação à geração de harmônicos, quais sejam, o índice THD (*total harmonic distortion*), a análise espectral dos sinais, o valor máximo da componente fundamental e o valor eficaz dos sinais de saída. Os resultados experimentais foram obtidos a partir de um protótipo do inversor 3-níveis a capacitor flutuante, disponível no PPGEE - PUC Minas/GEPSIN (Grupo de Estudos em Processamento de Sinais) e avaliados segundo os mesmos critérios adotados para as simulações. Para a implementação do firmware, foi utilizado o *Starter Kit eZdsp* F2812, fabricado pela Texas Instruments Inc.. Os resultados obtidos permitiram avaliar os efeitos das diversas técnicas de controle sobre o comportamento do inversor a 3-níveis com capacitor flutuante. Pôde-se, ao final, concluir sobre o desempenho dessas técnicas em relação ao conteúdo harmônico dos sinais de saída do inversor e destacar as características intrínsecas a cada um dos métodos estudados.

Palavras-chave: Inversor multinível. Capacitor flutuante. Vetor espacial. Portadoras em fase. Harmônicos.

ABSTRACT

This work aims to reduce the harmonic content of the output signals of multilevel inverters, for applications in electric drive systems of alternate current. With an emphasis on 3 level three-phase converter DC/AC with flying capacitor, is initially presented a bibliographical revision, searching to stand out the importance of the subject in the actuality, the state of the art and the theoretical foundations involved. Based on the technique of pulse width modulation for spatial vector (SVPWM), and specifically in relation to the treatment of harmonic content of the currents and voltages of the inverter output, the project treats the application of techniques for voltage balancing of the flying capacitors inverter. Are evaluated through simulation and experimentally, the classic strategy of control of 2-level, 3-level control and 2-level strategy associated with the control of maximum of current. Also in this context, are presented preliminary results of a modified scheme of modulation carriers based, obtained from version level shifted - phase disposition PWM (LSPWM - PDPWM) including the injection of 3^a harmonic. The simulations, developed in MATLAB environment, involving all approaches of control modes and comparative analyses based on the usual criteria for measuring performance in relation to the harmonics generation, namely the index THD (total harmonic distortion), spectral analysis of the signals, the maximum value of the fundamental component and the effective value of the output signals. The experimental results were obtained from a prototype of the 3-level inverter flying capacitor available PPGEE - PUC Minas / GEPSIN (Grupo de Estudos em Processamento de Sinais) and evaluated according to the same criteria used for the simulations. For the implementation of firmware was used F2812 eZdsp Started Kit, manufactured by Texas Instruments Inc.. The results allowed to evaluate the effects of different techniques of control over the behavior of the 3-level inverter flying capacitor. It might, in the end, conclude about the performance of these techniques in relation to the harmonic content of the output signals of the inverter and highlight the intrinsic characteristics of each of the methods studied.

Key-words: Multilevel inverter. Flying capacitor. Space Vector. Phase disposition. Harmonics.

LISTA DE ILUSTRAÇÕES

Figura 1	Diagrama esquemático de um conversor: (a) 2-níveis, (b) 3-níveis e (c) 5-níveis.	33
Figura 2	Estrutura básica do inversor trifásico 3-níveis com neutro grampeado.	34
Figura 3	Estrutura básica do inversor trifásico 3-níveis em cascata.	35
Figura 4	Estrutura básica do inversor trifásico de 3-níveis com capacitor flutuante.	36
Figura 5	Estrutura de uma célula do conversor H-NPC.	38
Figura 6	Diagrama esquemático de um braço do conversor multinível modular.	38
Figura 7	Classificação das estratégias de modulação para conversores multinível.	39
Figura 8	Método PSPWM.	40
Figura 9	Método LSPWM com portadoras em fase.	41
Figura 10	Método LSPWM com portadoras em oposição de fase.	41
Figura 11	Método LSPWM com portadoras em oposição de fase alternada.	42
Figura 12	Vetores de tensão de um conversor de 3-níveis trifásico.	43
Figura 13	Eliminação seletiva de harmônicos de um conversor de três níveis.	45
Figura 14	Princípio de operação do controle do vetor mais próximo.	46
Figura 15	Diagrama do controle do nível mais próximo.	47
Figura 16	Forma de onda em degrau generalizada de um inversor multinível.	50
Figura 17	Esquemático simplificado do inversor 3-níveis com capacitor flutuante.	54
Figura 18	Estrutura do inversor multinível FC: (a) 3-níveis e (b) 4-níveis.	55
Figura 19	Hexágono com os vetores de tensão do inversor a 3 níveis.	57
Figura 20	Vetores de tensão do setor A.	58
Figura 21	Sinal de comando para um braço do inversor.	58
Figura 22	Vetores de tensão do setor A.	60
Figura 23	Diagrama de controle de uma fase do inversor FC com controle via PDPWM.	61
Figura 24	Formas de onda geradas pelo controle PDPWM modificado.	62
Figura 25	Formas de onda geradas pela estratégia PDPWM com injeção de terceiro harmônico.	64
Figura 26	Esquema do comparador de 2-níveis.	65
Figura 27	Esquema do comparador de 3-níveis.	67
Figura 28	Trajetória da tensão do capacitor flutuante: comparador de 2-níveis e comparador 3-níveis.	68
Figura 29	Relação entre os parâmetros C , f_c e ΔV_C	71
Figura 30	Representação para um período PWM simétrico.	73
Figura 31	Perdas causadas pela frequência fundamental e pelas componentes harmônicas.	75

Figura 32	Diagrama de blocos da estratégia SVPWM	80
Figura 33	Tensão fase-neutro V_{an} (SVPWM)	81
Figura 34	Tensão fase-fase V_{ab} (SVPWM)	81
Figura 35	Velocidade mecânica (SVPWM)	82
Figura 36	Correntes de linha (SVPWM)	82
Figura 37	Tensão sobre o capacitor da fase a (SVPWM / Comparador de 2-níveis) . .	83
Figura 38	Espectro harmônico da tensão V_{ab} (SVPWM / Comparador de 2-níveis) . . .	84
Figura 39	Espectro harmônico da corrente I_a (SVPWM / Comparador de 2-níveis) . .	84
Figura 40	Tensão sobre o capacitor da fase a (controle de 2-níveis e inclusão de ruídos)	85
Figura 41	Tensão fase-fase V_{ab} (com desbalanceamento da tensão V_{cx})	85
Figura 42	Correntes de linha (com desbalanceamento da tensão V_{cx})	86
Figura 43	Espectro harmônico da tensão V_{ab} (com desbalanceamento da tensão V_{cx}). .	86
Figura 44	Espectro harmônico da corrente I_a (com desbalanceamento da tensão V_{cx}). .	87
Figura 45	Tensão sobre o capacitor da fase a (SVPWM / Comparador de 3-níveis) . .	87
Figura 46	Tensão fase-fase V_{ab} (SVPWM / Comparador de 3-níveis)	88
Figura 47	Correntes de linha (SVPWM / Comparador de 3-níveis)	88
Figura 48	Espectro harmônico da tensão V_{ab} (SVPWM / Comparador de 3-níveis) . . .	89
Figura 49	Espectro harmônico da corrente I_a (SVPWM / Comparador de 3-níveis) . .	89
Figura 50	Corrente de linha e instantes da carga/descarga do capacitor	90
Figura 51	Tensão sobre o capacitor da fase a (SVPWM / Comparador de 3-níveis) . .	91
Figura 52	Espectro harmônico da tensão V_{ab} (Controle de máximo de corrente)	91
Figura 53	Espectro harmônico da corrente I_a (Controle de máximo de corrente)	92
Figura 54	Diagrama de blocos da estratégia PDPWM	93
Figura 55	Modulação por portadora: natural e com amostragem simétrica	94
Figura 56	Modulação por portadora: natural e com amostragem assimétrica	94
Figura 57	Tensão fase-neutro V_{an} (PDPWM)	95
Figura 58	Tensão fase-fase V_{ab} (PDPWM)	95
Figura 59	Velocidade mecânica (PDPWM)	96
Figura 60	Correntes de linha (PDPWM)	96
Figura 61	Tensão sobre o capacitor da fase a (PDPWM / Comparador de 2-níveis) . .	97
Figura 62	Espectro harmônico da tensão V_{ab} (PDPWM / Comparador de 2-níveis) . . .	97
Figura 63	Espectro harmônico da corrente I_a (PDPWM / Comparador de 2-níveis) . .	98
Figura 64	Sinais de referência com a injeção da terceira harmônica	98
Figura 65	Tensão fase-fase V_{ab} , com injeção da terceira harmônica	99
Figura 66	Espectro harmônico da tensão V_{ab} (com injeção da terceira harmônica) . . .	99
Figura 67	Espectro harmônico da corrente I_a (injeção da terceira harmônica)	100
Figura 68	Protótipo do inversor multinível a capacitor flutuante	104
Figura 69	Diagrama de blocos do protótipo do inversor 3-níveis a capacitor flutuante .	104
Figura 70	<i>Starter Kit eZdsp F2812</i>	105

Figura 71	Diagrama de blocos do <i>Event Manager A</i>	106
Figura 72	Sinais gerados pelo <i>Compare Units</i>	107
Figura 73	Diagrama de blocos do <i>Interrupt System</i>	107
Figura 74	Diagrama de blocos do ADC (modo cascata)	108
Figura 75	Tensão fase-fase V_{ab} (Comparador de 2-níveis)	110
Figura 76	Corrente de saída da fase a (Comparador de 2-níveis)	110
Figura 77	Tensão sobre o capacitor da fase a (Comparador de 2-níveis)	111
Figura 78	Análise espectral e THD da tensão V_{ab} (Comparador de 2-níveis)	111
Figura 79	Análise espectral e THD da corrente I_a (Comparador de 2-níveis)	112
Figura 80	Tensão fase-fase V_{ab} (Comparador de 2-níveis)	112
Figura 81	Corrente de saída da fase a (Comparador de 2-níveis)	113
Figura 82	Tensão sobre o capacitor da fase a (Comparador de 2-níveis)	113
Figura 83	Análise espectral e THD da tensão V_{ab} (Comparador de 2-níveis)	113
Figura 84	Análise espectral e THD da corrente I_a (Comparador de 2-níveis)	114
Figura 85	Tensão fase-fase V_{ab} (Comparador de 3-níveis)	115
Figura 86	Corrente de saída da fase a (Comparador de 3-níveis)	115
Figura 87	Tensão sobre o capacitor da fase a (Comparador de 3-níveis)	115
Figura 88	Análise espectral e THD da tensão V_{ab} (Comparador de 3-níveis)	116
Figura 89	Análise espectral e THD da corrente I_a (Comparador de 3-níveis)	116
Figura 90	Tensão fase-fase V_{ab} (Controle de máximo de corrente)	117
Figura 91	Corrente de saída da fase a (Controle de máximo de corrente)	117
Figura 92	Tensão sobre o capacitor da fase a (Controle de máximo de corrente)	118
Figura 93	Análise espectral e THD da tensão V_{ab} (Controle de máximo de corrente)	118
Figura 94	Análise espectral e THD da corrente I_a (Controle de máximo de corrente)	119

LISTA DE QUADROS

Quadro 1	Estados de chaveamento para o conversor com neutro grampeado	35
Quadro 2	Estados de chaveamento para o conversor em cascata	36
Quadro 3	Estados de chaveamento para o conversor com capacitor flutuante	37
Quadro 4	Tipo de topologia <i>versus</i> Número de componentes necessários	37
Quadro 5	Estados de chaveamento para o inversor 3-níveis com capacitor flutuante .	54
Quadro 6	Localização do vetor de referência	59
Quadro 7	Determinação das regiões de um setor.	60
Quadro 8	Lógica de controle do comparador de 2-níveis	66
Quadro 9	Lógica de controle do comparador de 3-níveis.	67
Quadro 10	Estados de chaveamento e contribuição das correntes do lado CA para as tensões dos capacitores.	69
Quadro 11	Componentes do espectro da forma de onda.	74
Quadro 12	Componentes das perdas.	76
Quadro 13	Métodos empregados na redução da distorção harmônica.	76
Quadro 14	Comparação das Estratégias.	101
Quadro 15	Conversor Analógico-Digital	109
Quadro 16	Comparação das Técnicas de Controle.	119

LISTA DE ABREVIATURAS E SIGLAS

- APODPWM Modulação por mudança de nível baseado em portadoras em oposição de fase alternada (*alternative phase opposite disposition pulse width modulation*)
- CA Corrente alternada
- CAPES Coordenação de Aperfeiçoamento de Pessoal de Nível Superior
- CBPWM Modulação por largura de pulsos baseada em portadoras (*carrier based pulse width modulation*)
- CC Corrente contínua
- CCS Code Composer Studio
- CHB Conversor em cascata (*cascaded H-bridge*)
- DSP Processador digital de sinais (*digital signal processor*)
- FC Capacitor flutuante (*flying capacitor*)
- FCMI Inversor multinível com capacitor flutuante (*flying capacitor multilevel inverter*)
- FPGA Dispositivo reconfigurável (*field programmable gate array*)
- GEPSIN Grupo de Estudos em Processamento de Sinais
- HVDC Sistemas de transmissão de energia elétrica (*high-voltage direct current*)
- IEEE *Institute of Electrical and Electronics Engineers*
- IGBT Transistor bipolar de gate isolado (*insulated gate bipolar transistor*)
- IPUC Instituto Politécnico da Universidade Católica
- JTAG *Joint Test Action Group*
- LSPWM Modulação por mudança de nível (*level shifted pulse width modulation*)
- MIT Máquina de indução trifásica
- MMC Conversor multinível modular (*modular multilevel converter*)
- NLC Controle pelo nível mais próximo (*nearest level control*)
- NPC Neutro grampeado (*neutral point clamped*)
- NVC Controle pelo vetor mais próximo (*nearest vector control*)

OHSW Forma de onda em degrau com otimização harmônica (*optimised harmonic stepped waveform*)

PDPWM Modulação por mudança de nível baseado em portadoras em fase (*phase disposition pulse width modulation*)

PODPWM Modulação por mudança de nível baseado em portadoras em oposição de fase (*phase opposite disposition pulse width modulation*)

PPGEE Programa de Pós-Graduação em Engenharia Elétrica

PSCPWM Modulação por largura de pulso por portadora de mudança de fase (*phase shift carrier pulse width modulation*)

PSIM *Power Simulator*

PSPWM Modulação por mudança de fase (*phase shifted pulse width modulation*)

PUC Minas Pontifícia Universidade Católica de Minas Gerais

PWM Modulação por largura de pulso (*pulse width modulation*)

RAHEM Eliminação harmônica ativa por frequência de chaveamento reduzida (*reduced switching-frequency active-harmonic-elimination*)

SHE Eliminação de harmônicos seletiva (*selective harmonic elimination*)

SHEPWM Modulação por largura de pulsos por eliminação de harmônicos seletiva (*selective harmonic elimination pulse width modulation*)

SPWM Modulação por largura de pulsos senoidal (*sinusoidal pulse width modulation*)

SVM Modulação por vetor espacial (*space vector modulation*)

SVPWM Modulação por largura de pulso por vetor espacial (*space vector pulse width modulation*)

THD Distorção harmônica total (*total harmonic distortion*)

SUMÁRIO

1	INTRODUÇÃO	27
1.1	Relevância e justificativa	27
1.2	Objetivos	28
1.2.1	<i>Objetivos principais</i>	28
1.2.2	<i>Objetivos secundários</i>	28
1.3	Contribuições do trabalho	29
1.4	Materiais e métodos	29
1.5	Organização do trabalho	30
1.6	Conclusão	31
2	REVISÃO BIBLIOGRÁFICA	33
2.1	Introdução	33
2.2	Topologias multiníveis	33
2.3	Estratégias de modulação e técnicas de controle	39
2.3.1	<i>PWM baseada em portadoras</i>	39
2.3.2	<i>Modulação por vetor espacial</i>	42
2.3.3	<i>Eliminação seletiva de harmônicos</i>	44
2.3.4	<i>Controle pelo vetor mais próximo</i>	45
2.3.5	<i>Controle pelo nível mais próximo</i>	46
2.4	Redução da distorção harmônica na carga	47
2.4.1	<i>Controle da tensão do capacitor flutuante</i>	47
2.4.2	<i>Otimização dos ângulos de chaveamento</i>	49
2.5	Conclusão	51
3	FUNDAMENTOS TEÓRICOS	53
3.1	Introdução	53
3.2	Inversor multinível a capacitor flutuante	53
3.3	Estratégias de modulação	55
3.3.1	<i>Modulação de largura de pulsos por vetor espacial</i>	56
3.3.2	<i>Método PDPWM modificado</i>	60
3.4	Controle das tensões dos capacitores flutuantes	64
3.4.1	<i>Comparador de dois níveis</i>	65
3.4.2	<i>Comparador de três níveis</i>	66
3.4.3	<i>Função de custo</i>	68
3.5	Parâmetros de projeto	70
3.5.1	<i>Cálculo do capacitor flutuante</i>	70
3.5.2	<i>Frequência de chaveamento</i>	71
3.6	Distorção harmônica	73

3.6.1	<i>Definições básicas</i>	73
3.6.2	<i>Interação entre o inversor e o motor</i>	74
3.6.3	<i>Desempenho de um inversor trifásico</i>	76
3.7	Conclusão	77
4	RESULTADOS DE SIMULAÇÕES	79
4.1	Introdução	79
4.2	Modulação SVPWM	79
4.3	Controle das tensões dos capacitores flutuantes	82
4.3.1	<i>Comparador de dois níveis</i>	82
4.3.2	<i>Comparador de três níveis</i>	87
4.3.3	<i>Controle de máximo de corrente</i>	89
4.4	Modulação PDPWM	92
4.4.1	<i>PDPWM associado ao comparador de dois níveis</i>	96
4.4.2	<i>Injeção de terceira harmônica</i>	98
4.5	Estratégia SVPWM versus PDPWM	100
4.6	Conclusão	101
5	RESULTADOS EXPERIMENTAIS	103
5.1	Introdução	103
5.2	Protótipo inversor 3-níveis a capacitor flutuante	103
5.3	Processador digital de sinais F2812	105
5.4	Modulação SVPWM	109
5.4.1	<i>Comparador de dois níveis</i>	109
5.4.2	<i>Comparador de três níveis</i>	114
5.4.3	<i>Controle de máximo de corrente</i>	116
5.5	Conclusão	119
6	CONCLUSÃO E PROPOSTA DE CONTINUIDADE	121
	REFERÊNCIAS	123
	APÊNDICES	129
	APÊNDICE A POWERGUI	131
	ANEXOS	139
	ANEXO A Algoritmo SVPWM	141
	ANEXO B Tabela dos estados de chaveamento	145

1 INTRODUÇÃO

Este trabalho trata do desenvolvimento e implementação de inversores de tensão multiníveis a capacitor flutuante, visando à redução do conteúdo harmônico dos sinais de saída, para aplicações em sistemas de acionamento de máquinas de corrente alternada (CA).

Como uma alternativa para aplicações em sistemas de acionamento elétrico de corrente alternada, compensação de reativos em sistemas elétricos de potência e fontes de alimentação eletrônica, os conversores multiníveis têm despertado grande interesse nas pesquisas tecnológicas da atualidade.

Neste trabalho investigam-se, principalmente, os aspectos relativos ao controle de chaveamento e controle da tensão sobre os capacitores flutuantes, sob a óptica da distorção harmônica nos sinais de saída. As técnicas de controle são implementadas em um processador digital de sinais (DSP), que, devido à sua flexibilidade de programação, oferece grandes facilidades à incorporação de diversas técnicas de controle e otimização.

1.1 Relevância e justificativa

Os conversores de potência são utilizados em uma vasta gama de aplicações, tais como, sistemas de transportes (tração de trem, propulsão de navios e aplicações automotivas), conversão de fontes de energia renováveis, indústrias, mineradoras e petroquímicas, sistemas elétricos de potência, dentre outros. Muitos desses processos têm, continuamente, demandado por taxas mais elevadas de rendimento, redução de custos e eficiência. Em resposta a essas demandas, foram propostas duas diferentes pesquisas: o desenvolvimento de tecnologias de semicondutores para tensões e correntes nominais elevadas, mantendo-se as topologias dos conversores tradicionais e, através de uma nova topologia de conversores, estruturas compostas pela associação de um maior número de chaves semicondutoras, que foram denominadas conversores multiníveis (RODRIGUEZ *et al.*, 2009).

As estruturas multiníveis foram, inicialmente, propostas visando às aplicações em sistemas de acionamento elétrico, nas faixas de média e alta potência. Surgiram como uma importante alternativa em relação aos conversores bipolares na medida em que permitem a conexão em série de células, por sua vez, formadas através da associação série de dispositivos eletrônicos e fontes CC de baixa tensão para executar a conversão de energia CC/CA, sintetizando formas de onda de tensão senoidal de valores mais elevados (KHOMFOI; TOLBERT, 2006).

As áreas de aplicação dos conversores multiníveis e o grande interesse observado através das numerosas publicações técnico-científicas no âmbito acadêmico e industrial, reforçam a importância da realização de pesquisas voltadas às tendências futuras destes equipamentos (ABU-RUB *et al.*, 2010).

Vários aspectos têm recebido destaque em estudos recentes, tais como as técnicas de controle e balanceamento da tensão dos capacitores flutuantes (SHUKLA; GHOSH; JOSHI, 2007),

a modelagem para a análise das não-linearidades intrínsecas e geração de componentes harmônicos na rede de energia elétrica (ODAVIC et al., 2010), métodos para a redução das oscilações sobre a carga, métodos para a minimização de perdas por chaveamento (ZHAO et al., 2010), dentre outros.

Este trabalho procurou abordar aspectos considerados fundamentais nos conversores multiníveis a capacitores flutuantes para as aplicações em sistemas de acionamento elétrico de corrente alternada de alto desempenho. Compreende, basicamente, métodos de modulação e técnicas que permitam o balanceamento dos níveis intermediários de tensão visando à redução das componentes harmônicas nos sinais de saída. Estes conceitos foram implementados em ambientes de simulação computacional e, em seguida, no processador digital de sinais a fim de validar os resultados experimentalmente.

1.2 Objetivos

Este trabalho tem como objetivo principal a análise, o desenvolvimento e a implementação de técnicas de redução de componentes harmônicos na carga, para os conversores do tipo multinível a capacitor flutuante, com controle através de um processador digital de sinal. Neste sentido, investiga-se as estratégias de modulação de largura de pulsos por vetor espacial e por portadoras e, de forma mais detalhada, técnicas que possam proporcionar o balanceamento dos níveis intermediários de tensão através do controle de tensão dos capacitores de fase.

1.2.1 Objetivos principais

Várias estratégias vêm sendo exploradas na tentativa de redução do conteúdo harmônico presente nas saídas dos inversores multiníveis, usualmente, decorrentes do desbalanceamento das tensões nos capacitores de fase ou capacitores flutuantes.

Neste contexto, pode-se destacar como principais objetivos do trabalho:

- a) Avaliar as estratégias de modulação de largura de pulsos por vetor espacial e por portadoras quanto à geração de harmônicos em um inversor multinível a capacitor flutuante;
- b) Aplicar e avaliar diferentes técnicas no controle dos processos de carga e descarga dos capacitores, considerando ruídos de medição.

1.2.2 Objetivos secundários

Em função de sua abrangência, pode-se definir uma metodologia para o desenvolvimento do trabalho que permitiu, dentre outros:

- a) Desenvolver modelos de simulação em ambiente MATLAB;
- b) Utilizar ferramentas dedicadas ao desenvolvimento de sistemas eletrônicos (PSIM);
- c) Utilizar ferramentas de processamento digital de sinais para a análise, tratamento e

validação de processos;

- d) Desenvolver rotinas em ambiente DSP;
- e) Validar os resultados obtidos através de simulações e experimentalmente;
- f) Fortalecer as bases necessárias ao emprego dos dispositivos DSP no âmbito do PP-GEE / IPUC e GEPSIN (Grupo de Estudos em Processamento de Sinais) / PUC Minas, visando às aplicações em sistemas elétricos;
- g) Divulgar os resultados do trabalho através de publicações em congressos e/ou periódicos técnico-científicos.

1.3 Contribuições do trabalho

A partir do desenvolvimento deste trabalho, podem ser destacadas as seguintes contribuições:

- a) Adaptação da estratégia PDPWM para sua utilização no controle de um inversor multinível a capacitor flutuante;
- b) Melhoria das técnicas tradicionais de controle de tensão sobre os capacitores flutuantes através da associação da técnica Controle de Máximo de Corrente ;
- c) Publicação do artigo "*Design of a DSP controlled multilevel inverter: A study of the main aspects in the harmonics generation*" (MAIA; PEIXOTO, 2009);
- d) Projeto de uma placa de interface para a futura implementação de um inversor 4-níveis a capacitor flutuante;
- e) Elaboração de um guia para utilização da ferramenta *FFT Analysis* na análise de sinais externos ao ambiente MATLAB-Simulink;
- f) Elaboração de um tutorial sobre as principais funcionalidades e guia rápido de aplicação do DSP F2812 visando às implementações futuras no âmbito do PPGE / GEPSIN.

1.4 Materiais e métodos

Os estudos dos fundamentos teóricos e levantamentos sobre as publicações correlatas ao tema da pesquisa foram realizados através de bibliografia de comprovada relevância (HOLMES; LIPO, 2003) e (BOSE, 2006), em bases de dados disponibilizadas pela Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES) através do portal www.pucminas.br, tais como o www.ieee.org, teses e dissertações disponíveis em portais de universidades e institutos de pesquisa, dentre outros.

Inicialmente, essa pesquisa envolveu estudos sobre métodos de controle para a minimização da geração de componentes harmônicos na saída dos inversores multiníveis e, paralelamente, sobre técnicas de modulação por largura de pulsos associadas. Após a escolha das

técnicas aplicáveis ao controle do inversor via DSP, foram realizadas análises de desempenho e validação dos métodos através de simulações computacionais, em ambiente MATLAB 6.5 e PSIM 9.0.

Para a análise experimental do sistema, foram utilizados os recursos do protótipo inversor multinível a capacitor flutuante a 3-níveis, disponibilizado pelo Grupo de Estudos em Processamento de Sinais (GEPSIN - PUC Minas) e, atualmente, localizado no Laboratório de Eletrônica de Potência do IPUC (Instituto Politécnico da Universidade Católica). Nesta etapa, os métodos de modulação e redução de componentes harmônicos foram programados utilizando o *Code Composer Studio* e o *Starter Kit eZdsp F2812* da Texas Instruments.

O protótipo experimental utilizado neste trabalho é resultado da realização do Projeto de Iniciação Científica (MAIA; PEIXOTO, 2007) e do Projeto de Conclusão do Curso de Engenharia Eletrônica e de Telecomunicação (MAIA et al., 2008). Nesse protótipo estão dispostos: a placa de interface, os transdutores de corrente/tensão, os capacitores de fase, os circuitos de acionamento, IGBTs e a parte de retificação CA/CC.

O ambiente de programação *Code Composer Studio* (CCS) é disponibilizado pela Texas Instruments (TI) como uma ferramenta de desenvolvimento que possibilita a programação, a gravação e depuração dos algoritmos. O *Starter Kit eZdsp F2812* é fornecido pela Spectrum Digital. Na placa estão inclusos o DSP TMS320F2812, emulador JTAG (*joint test action group*) *on-board* e interface de sinais com outros dispositivos. Além disso, o *kit* vem acompanhado de uma versão específica do *Code Composer Studio* e fonte de alimentação.

O *Starter Kit eZdsp F2812* é um módulo autônomo que permite aos usuários examinar e avaliar determinadas características dos DSPs da família C2000 da TI. O módulo tem as seguintes aplicações:

- a) Controle de posição e velocidade de motores elétricos;
- b) Desenvolvimento de algoritmos discretos, em geral.

Desta forma, foi possível comparar os desenvolvimentos teóricos e os resultados práticos, bem como avaliar, experimentalmente, o desempenho das técnicas de redução do conteúdo harmônico da saída, nos inversores multiníveis a capacitor flutuante.

1.5 Organização do trabalho

Neste primeiro capítulo, foram indicadas a relevância e justificativa do tema escolhido no contexto atual. Foram apresentados os objetivos e metodologia aplicada, com destaque para as contribuições alcançadas a partir do trabalho realizado.

No Capítulo 2 é apresentada uma revisão bibliográfica sobre as topologias clássicas dos inversores multiníveis e os recentes desenvolvimentos sobre o tema, destacando suas características. Buscou-se identificar as estratégias de modulação e as técnicas de controle empregadas no inversor multinível a capacitor flutuante e o estado-da-arte no que tange às técnicas aplicadas à redução da distorção harmônica na carga.

No Capítulo 3 são apresentados os conceitos fundamentais e funcionamento do inversor multinível a capacitor flutuante. Compreende as estratégias de modulação de largura de pulsos a serem utilizadas e as técnicas de controle de tensão sobre os capacitores flutuantes. São analisados os efeitos da distorção harmônica sobre as máquinas de indução e os recursos utilizados para avaliação do desempenho dos métodos de modulação e técnicas de controle aplicadas.

O Capítulo 4 apresenta os resultados de simulação obtidos utilizando-se o MATLAB. Primeiramente, são mostrados a estrutura do código implementado em linguagem *script* e os resultados obtidos a partir do método de modulação de largura de pulsos por vetor espacial (*space vector* PWM - SVPWM), associado às técnicas de controle de tensão sobre os capacitores flutuantes. Na sequência, são apresentados os resultados para o método de modulação por mudança de nível baseado em portadoras (*phase disposition* PWM - PDPWM) e realizada a comparação entre as estratégias SVPWM e PDPWM, considerando a distorção harmônica, a amplitude da componente fundamental e o valor eficaz da tensão fase-fase sintetizada pelo inversor multinível a capacitor flutuante.

No Capítulo 5 são mostrados os resultados experimentais obtidos a partir do protótipo inversor multinível a capacitor flutuante. Inicialmente, são apresentadas as características técnicas do protótipo, destacando os principais dispositivos e suas respectivas funcionalidades. Na sequência, são apresentados os periféricos do DSP TMS320F2812 utilizados na implementação da estratégia SVPWM. Finalmente, são mostrados os resultados da associação do método SVPWM às técnicas de controle de tensão sobre os capacitores flutuantes.

Finalizando o trabalho, são apresentadas as conclusões, contribuições e propostas de continuidade decorrentes dos resultados do trabalho realizado.

1.6 Conclusão

Neste capítulo, buscou-se apresentar os objetivos do trabalho, o contexto no qual o mesmo encontra-se inserido, a metodologia a ser utilizada no desenvolvimento da pesquisa e as principais contribuições no âmbito do controle de inversores multiníveis a capacitor flutuante e do desenvolvimento de pesquisas no PPGEE - PUC Minas.

2 REVISÃO BIBLIOGRÁFICA

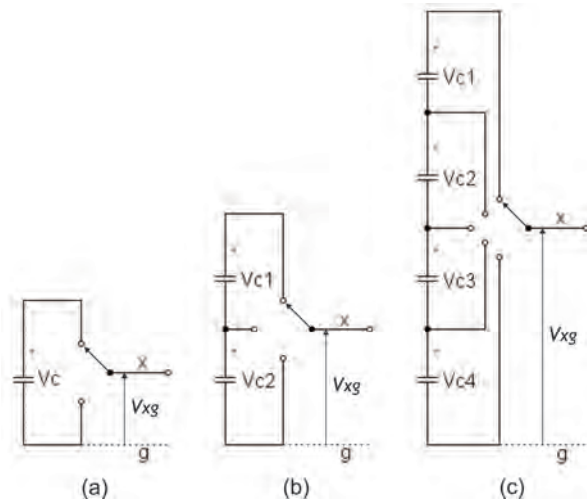
2.1 Introdução

Neste capítulo são, inicialmente, abordadas as topologias básicas dos inversores multiníveis e algumas propostas de controle, mais recentemente publicadas. Em seguida, são analisados alguns dos principais métodos de modulação por largura de pulsos aplicáveis aos conversores multiníveis. Finalizando a revisão bibliográfica, são apresentados alguns trabalhos correlatos ao tema da pesquisa, onde buscou-se identificar o estado da arte em relação às técnicas de controle dedicadas à redução da geração de harmônicos na saída dos inversores.

2.2 Topologias multiníveis

Os inversores ou conversores CC/CA são constituídos por um conjunto de chaves semicondutoras e uma (ou mais) fonte(s) de tensão, sendo o sinal de saída gerado a partir de um sinal de referência pré-definido e a seleção adequada da comutação das chaves. A Figura 1 mostra os diagramas esquemáticos de um braço do inversor para diferentes números de níveis de saída, considerando-se os interruptores de potência como chaves ideais.

Figura 1 – Diagrama esquemático de um conversor: (a) 2-níveis, (b) 3-níveis e (c) 5-níveis.



Fonte: Adaptado de Corzine (2005)

Para esses conversores, de forma geral, a relação entre os estados de chaveamento SS_x (onde o sub-índice $x \in \{a, b, c\}$ indica as fases do sistema de alimentação trifásico) e a tensão de saída V_{xg} , em relação ao ponto g do barramento CC do inversor, é definida pela Equação 1. Cada estado de chaveamento tem um intervalo de zero até $(n - 1)$, onde n indica o número de níveis, a fim de representar as combinações possíveis das chaves do conversor e, conseqüentemente, o

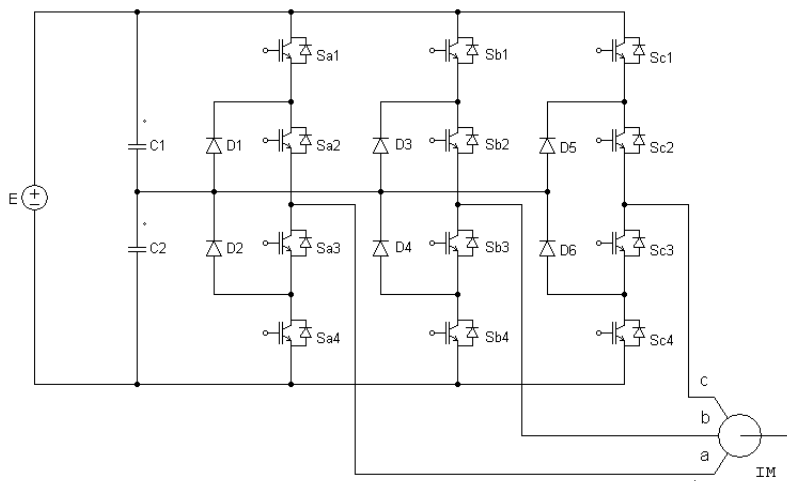
número de níveis da tensão de saída (CORZINE, 2005).

$$\begin{bmatrix} V_{ag} \\ V_{bg} \\ V_{cg} \end{bmatrix} = \left(\frac{E}{n-1} \right) \begin{bmatrix} SS_a \\ SS_b \\ SS_c \end{bmatrix} \quad (1)$$

Basicamente, existem três topologias clássicas de conversores multiníveis, denominadas neutro grampeado, cascata com fontes independentes e capacitor flutuante. Suas principais aplicações industriais compreendem fontes de alimentação, compensadores estáticos de reativos, sistemas de acionamento de alto desempenho (tração de trens, propulsão de navios e aplicações em veículos elétrico-híbridos), dentre outros. Uma das vantagens da configuração multinível, comparada ao inversor bipolar clássico (dois níveis), é a redução de componentes harmônicos na forma de onda da tensão de saída sem o incremento da frequência de chaveamento (MUTHURAMALINGAM; BALAJI; HIMAVATHI, 2006).

Em 1981, uma nova topologia para a conversão CC/CA foi proposta por Nabae, Takahashi e Akagi (1981), a qual foi denominada conversor PWM (*pulse width modulation*) com neutro grampeado (*neutral point clamped* - NPC). Essa topologia, mostrada na Figura 2, deu origem a uma nova família de conversores que recebeu a denominação de conversores de tensão multiníveis.

Figura 2 – Estrutura básica do inversor trifásico 3-níveis com neutro grampeado.



Fonte: Adaptado de Nabae, Takahashi e Akagi (1981)

Para o conversor NPC, são necessários apenas dois sinais de controle por braço, indicados por S_{xy} , onde $x \in \{a, b, c\}$ e $y \in \{1, 2, 3, 4\}$. Esses sinais são aplicados diretamente às duas chaves superiores (S_{x1} e S_{x2}), enquanto as chaves inferiores (S_{x3} e S_{x4}) recebem, respectivamente, sinais complementares aos anteriores. Os sinais de controle, aplicados aos *gates* das chaves estáticas, são de natureza binária, sendo o estado desligado representado pelo "0" e o estado ligado pelo "1". O Quadro 1 mostra os três estados de chaveamento para uma fase e o

nível de tensão correspondente de saída. Note que para o NPC, a combinação binária ($Sx1 = 1$, $Sx2 = 0$, $Sx3 = 0$ e $Sx4 = 1$) não é utilizada, uma vez que não fornece fluxo de corrente para a carga.

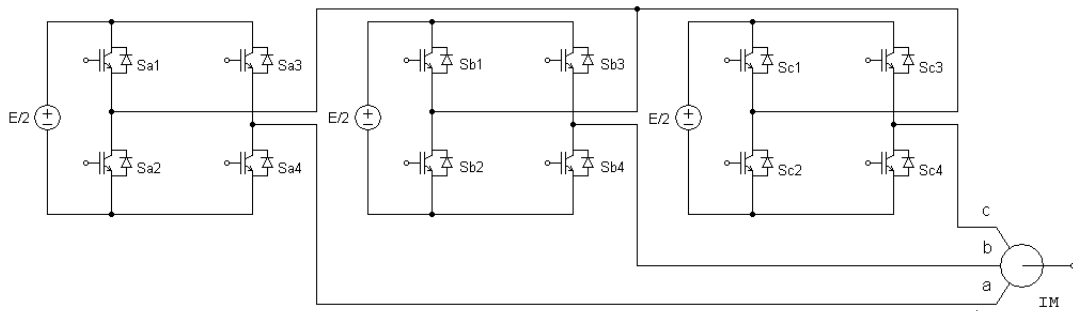
Quadro 1 – Estados de chaveamento para o conversor com neutro grampeado.

SSx	$Sx1$	$Sx2$	$Sx3$	$Sx4$	Vxg
0	0	0	1	1	0
1	0	1	1	0	$E/2$
2	1	1	0	0	E

Fonte: Corzine (2005)

A partir da configuração NPC, uma segunda topologia foi proposta, conforme mostra a Figura 3. Baseada na conexão em série de múltiplos conversores monofásicos, é denominada como conversor em cascata ou ponte H em cascata (*cascaded H-bridge - CHB*). Esse conversor, considerando três níveis na tensão de saída, requer três fontes de tensão independentes, sendo principalmente indicado para aplicações onde a fonte primária de energia é obtida através de baterias, painéis solares ou células de combustível (RODRIGUEZ; LAI; PENG, 2002a).

Figura 3 – Estrutura básica do inversor trifásico 3-níveis em cascata.



Fonte: Adaptado de Rodriguez, Lai e Peng (2002a)

Uma vez que as células da ponte-H podem fornecer tanto tensões negativas ou positivas para a formação da tensão Vxg , o estado de chaveamento será, diferentemente, definido como SSx_H . Neste caso, a Equação 1 pode ser usada para o cálculo das tensões Vxg , substituindo-se SSx por SSx_H . Além disso, os estados podem ser expressos em termos dos sinais aplicados às chaves semicondutoras, da forma:

$$SSx_H = Sx1 - Sx2 \quad (2)$$

As saídas deste conversor podem assumir os valores mostrados no Quadro 2, onde as tensões de linha podem assumir os valores E, $E/2$, 0, $-E/2$ e $-E$. Existem quatro diferentes combinações das chaves, sendo que duas são redundantes e são responsáveis pela geração do nível zero de tensão na saída. Dentre as três topologias é a que apresenta maior número de

estados redundantes, já que cada célula possui uma redundância e a conexão em série, para obter mais níveis de tensão, aumenta a quantidade de estados disponíveis.

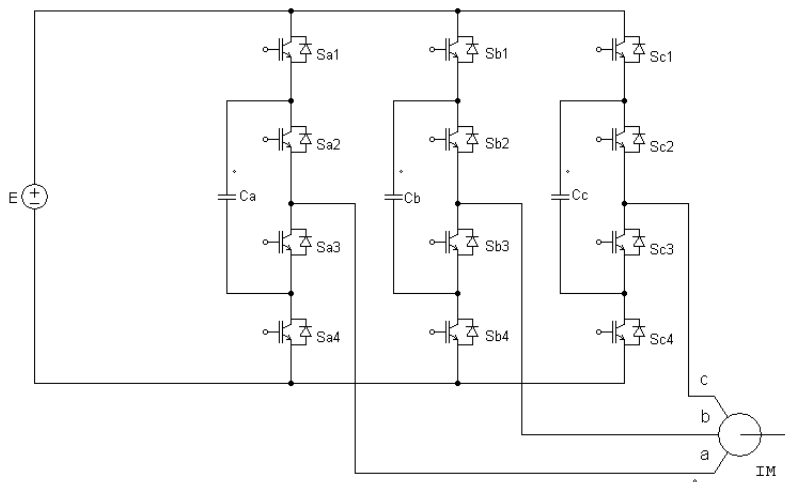
Quadro 2 – Estados de chaveamento para o conversor em cascata.

SSx	$Sx1$	$Sx2$	$Sx3$	$Sx4$	Vxg
-1	0	1	1	0	$-E/2$
0	0	0	1	1	0
	1	1	0	0	0
1	1	0	0	1	$E/2$

Fonte: Corzine (2005)

O conversor trifásico multinível a capacitor flutuante (*flying capacitor* - FC), proposto por Meynard e Foch (1992), pode ser visto na Figura 4. Essa topologia de conversor possui menor número de chaves estáticas, permite o controle independente das tensões de saída e das tensões dos capacitores de fase ou flutuantes, o que permite agregar, com maior facilidade, técnicas alternativas para a redução da distorção harmônica e minimização dos efeitos do chaveamento. Outra vantagem dessa configuração é a maior simplicidade do circuito, já que não é necessária a utilização de fontes de tensão intermediárias ou diodos grampeadores.

Figura 4 – Estrutura básica do inversor trifásico de 3-níveis com capacitor flutuante.



Fonte: Adaptado de Meynard e Foch (1992)

Como na topologia NPC, somente dois sinais de controle por fase são necessários. Entretanto, no FC, os sinais complementares estão relacionados a diferentes chaves, uma vez que ($Sx4 = \bar{S}x1$) e ($Sx3 = \bar{S}x2$). Outra diferença é que as quatro combinações das chaves são permitidas, sendo que para o caso em que a tensão nos capacitores flutuantes é igual à metade da tensão do barramento CC, duas destas combinações irão produzir o mesmo estado de chaveamento $SSx = 1$. O Quadro 3 relaciona os estados de chaveamento, os estados das chaves e as tensões de saída para cada um dos braços, onde V_{Cx} indica a tensão no capacitor, $x \in \{a, b, c\}$.

Quadro 3 – Estados de chaveamento para o conversor com capacitor flutuante.

SSx	$Sx1$	$Sx2$	$Sx3$	$Sx4$	Vxg
0	0	0	1	1	0
1	0	1	0	1	V_{Cx}
	1	0	1	0	$E - V_{Cx}$
2	1	1	0	0	E

Fonte: Corzine (2005)

O Quadro 4 apresenta uma comparação entre as três topologias multiníveis descritas anteriormente, com destaque para o número de níveis e a quantidade de componentes necessários para a implementação de conversores de três, cinco ou, genericamente, n -níveis (PANAGIS et al., 2008).

Quadro 4 – Tipo de topologia versus Número de componentes necessários.

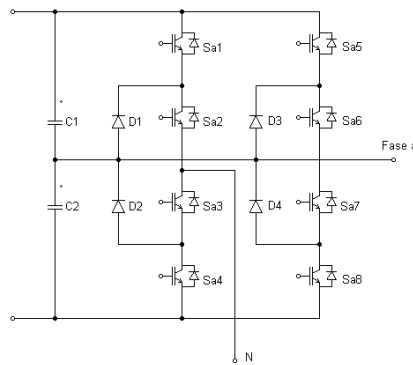
Topologia	Níveis	Capacitores	Diodos	Chaves	Fontes CC
Neutro Grampeado	3	2	6	4	1
	5	4	18	8	1
	n	$(n - 1)$	$6(n - 2)$	$2(n - 1)$	1
Capacitor Flutuante	3	3	0	4	1
	5	9	0	8	1
	n	$3(n - 2)$	0	$2(n - 1)$	1
Cascata	3	0	0	4	3
	5	0	0	8	6
	n	0	0	$2(n - 1)$	$3(n - 1)/2$

Fonte: Panagis et al. (2008)

Desde a proposição das primeiras topologias multinível, várias estruturas de conversores vêm sendo propostas na literatura, a partir de variações das topologias clássicas de três níveis. No entanto, desses novos desenvolvimentos, poucos chegaram à indústria. Entre as mais novas topologias que atualmente têm aplicações práticas, destacam-se o conversor ponte-H NPC de cinco níveis (*five-level H-bridge NPC*, 5L-H-NPC) e o conversor multinível modular (*modular multilevel converter*, MMC) (KOURO et al., 2010).

Em Heredia et al. (2009) é apresentado o conversor H-NPC, em que uma fase é composta pela conexão, na forma de ponte-H, de dois braços do conversor clássico NPC 3-níveis, como é mostrado na Figura 5. A combinação dos três níveis de cada braço do NPC resulta em cinco diferentes níveis de saída (E, E/2, 0, -E/2 e -E). Essa topologia requer fontes isoladas para cada fase para evitar curto-circuitos entre as conexões CC. Portanto, um transformador com três enrolamentos secundários trifásicos torna-se necessário. Harmônicos de baixa ordem são efetivamente eliminados até a 25ª componente (para um retificador de 36 pulsos), melhorando consideravelmente a distorção harmônica total (THD) da corrente de entrada e eliminando a necessidade de filtros.

Figura 5 – Estrutura de uma célula do conversor H-NPC.

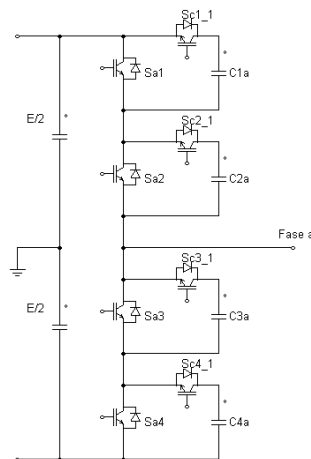


Fonte: Adaptado de Heredia et al. (2009)

Dentre as topologias mais recentes, o conversor multinível modular foi proposto como uma alternativa para aplicações em média e alta tensão, particularmente para os sistemas de transmissão de energia elétrica (*high-voltage direct current* - HVDC). Conforme o diagrama apresentado na Figura 6, ele é composto de células de conversores de meia-ponte conectados em série, sendo cada braço dividido em partes iguais (o número de células deve ser igual em relação à saída da fase) para gerar o mesmo número de níveis positivos e negativos. Segundo Adam et al. (2010) esta topologia, associada à estratégia de modulação baseada em portadoras, se torna superior ao NPC em relação aos seguintes aspectos:

- a) O balanceamento da tensão do capacitor pode ser alcançado para qualquer número de níveis, independente do índice de modulação e desbalanceamento de carga.
- b) Ao contrário do conversor com neutro grampeado, cada dispositivo de comutação é usado por períodos de tempo iguais.

Figura 6 – Diagrama esquemático de um braço do conversor multinível modular.

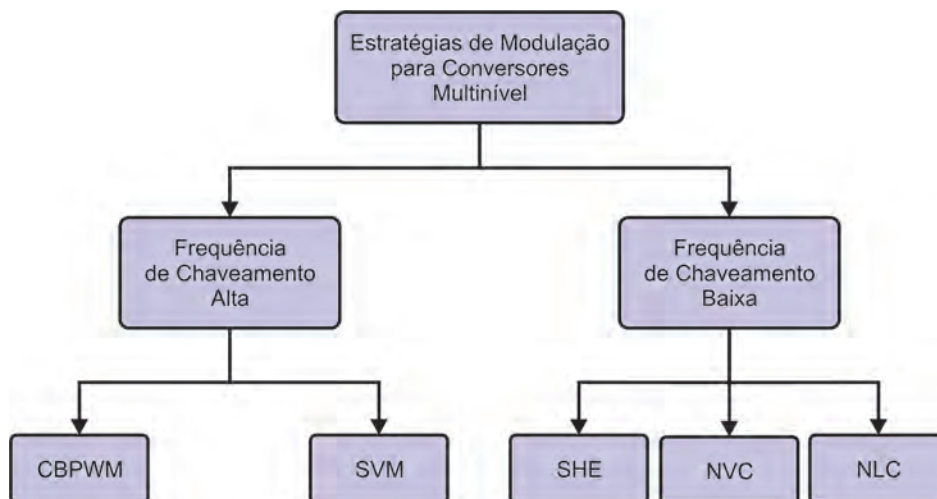


Fonte: Adaptado de Adam et al. (2010)

2.3 Estratégias de modulação e técnicas de controle

As estratégias de modulação por largura de pulso (*pulse width modulation* - PWM) aplicáveis aos conversores bipolares podem ser modificadas e adaptadas aos conversores multinível. Estas estratégias, segundo (KHOMFOI; TOLBERT, 2006) e (RODRIGUEZ et al., 2009), podem ser agrupadas de acordo com a frequência de chaveamento, como é mostrado no diagrama da Figura 7. As técnicas frequentemente discutidas na literatura são: PWM baseado em portadora (*carrier-based PWM* - CBPWM), modulação por vetor espacial (*space vector modulation* - SVM), eliminação harmônica seletiva (*selective harmonic elimination* - SHE), controle pelo vetor mais próximo (*nearest vector control* - NVC) e controle pelo nível mais próximo (*nearest level control* - NLC). Entre essas técnicas de controle, as três primeiras são extensões das estratégias clássicas desenvolvidas para os conversores de 2-níveis, adaptadas para diversos níveis segundo algum critério pré-definido para a seleção dos estados de chaveamento possíveis.

Figura 7 – Classificação das estratégias de modulação para conversores multinível.



Fonte: Adaptado de Khomfoi e Tolbert (2006) e Rodriguez et al. (2009)

2.3.1 PWM baseada em portadoras

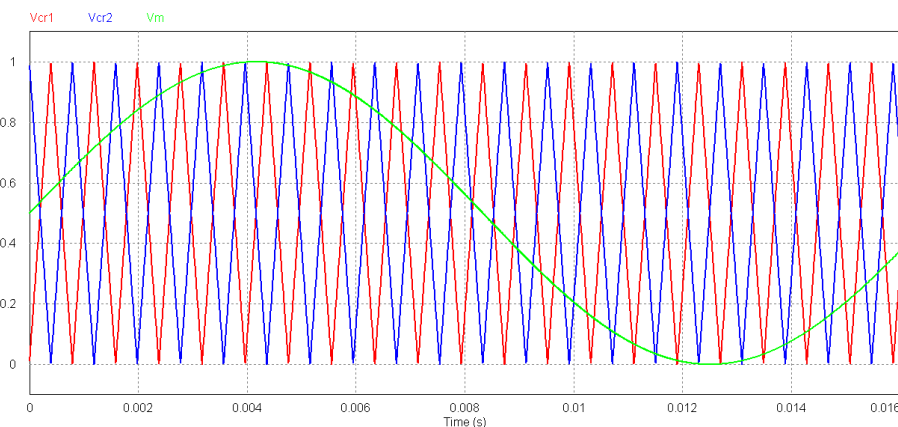
Esta estratégia baseia-se no método PWM clássico obtido a partir de portadoras triangulares e um sinal de referência por fase. O princípio de funcionamento consiste em comparar uma onda triangular de alta frequência (portadora) com a onda que se deseja na saída (moduladora). Para um conversor com n níveis, são necessárias $(n - 1)$ portadoras triangulares. Em algumas aplicações é utilizada a onda dente de serra como portadora, devido à maior facilidade de implementação. Porém, o uso desse tipo de portadora tem a desvantagem de gerar mais conteúdo harmônico na forma de onda de saída do conversor. O CBPWM apresenta algumas variações, em geral, classificadas em duas categorias (VASQUEZ, 2010):

- a) Modulação por mudança de fase (*phase shifted PWM - PSPWM*): As portadoras têm a mesma frequência e a mesma amplitude, sendo defasadas entre si. O defasamento entre duas portadoras adjacentes é dado por:

$$\varphi_{CR} = \frac{360^\circ}{n - 1} \quad (3)$$

Isto significa que para cada braço de um conversor de 3-níveis são necessárias duas portadoras com defasamento de 180° , como pode ser visto na Figura 8, onde as portadoras triangulares defasadas são dispostas juntamente com o sinal de referência senoidal. Os resultados das comparações, a cada período PWM definido pela frequência das portadoras, determinam os períodos de condução e corte das respectivas chaves. Sinais complementares são aplicados a cada par de chaves associadas, ou seja, ($Sx4 = \bar{S}x1$) e ($Sx3 = \bar{S}x2$).

Figura 8 – Método PSPWM.



Fonte: Arquivo pessoal

O índice de modulação de amplitude para o método PSPWM é definido como:

$$m_a = \frac{V_m}{V_{cr}} \quad (4)$$

Onde,

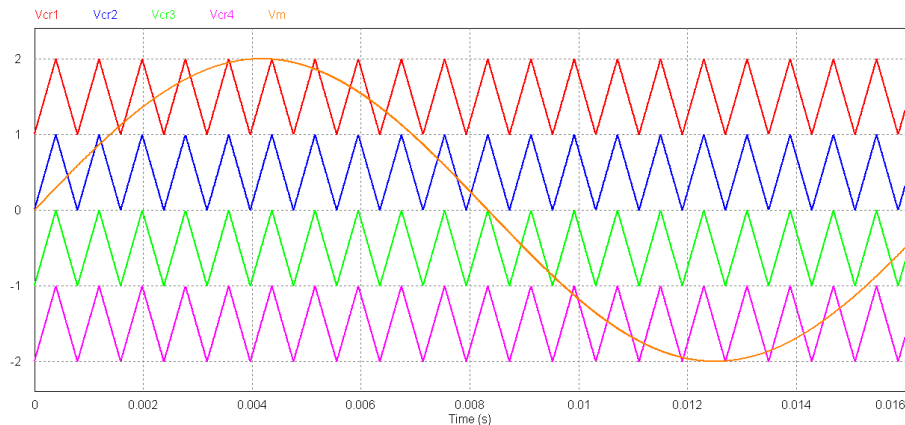
- V_m : amplitude de pico do sinal modulante;
- V_{cr} : amplitude de pico do sinal da portadora.

- b) Modulação por mudança de nível (*level shifted PWM - LSPWM*): Nesse método de modulação, as portadoras têm frequências e amplitudes iguais, tal como no caso anterior. Porém, elas se encontram em diferentes níveis e/ou com deslocamento temporal dos sinais triangulares utilizados na comparação. Existem, basicamente,

três tipos de esquemas para a estratégia LSPWM (LAALI; ABBASZADEH; LESANI, 2010):

- Portadoras em fase (*phase disposition* - PD): Conforme apresenta a Figura 9, para um braço de um conversor a 5-níveis, os sinais triangulares utilizados como portadoras estão em fase e deslocados, entre si, de um mesmo valor CC.

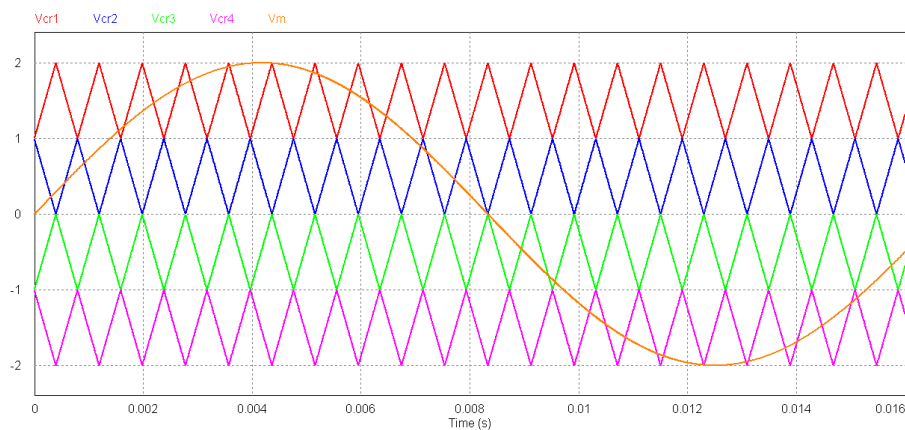
Figura 9 – Método LSPWM com portadoras em fase.



Fonte: Arquivo pessoal

- Portadoras em oposição de fase (*phase opposite disposition* - POD): Analogamente à modulação por portadoras em fase, as portadoras triangulares encontram-se deslocadas entre si de um mesmo valor CC, porém os sinais cujos valores médios estão acima do nível 0 são defasados em 180° em relação aos seus respectivos sinais complementares, os quais situam-se abaixo do nível zero. A Figura 10 apresenta os sinais resultantes para um braço de um inversor a 5-níveis.

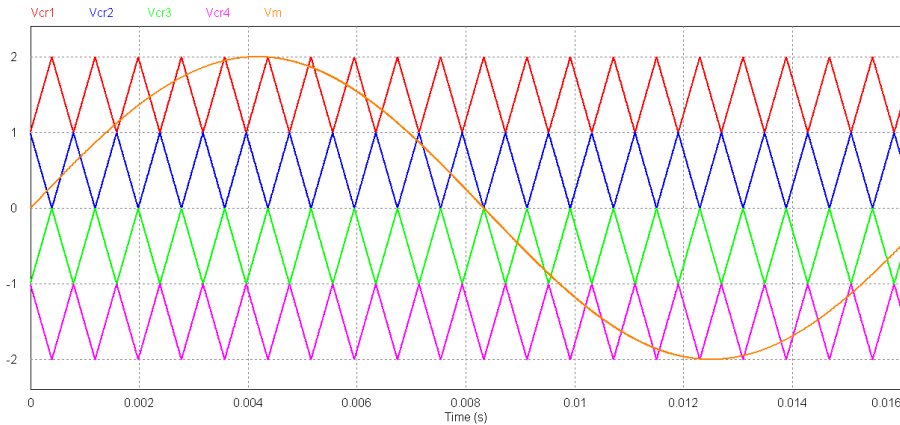
Figura 10 – Método LSPWM com portadoras em oposição de fase.



Fonte: Arquivo pessoal

- Portadoras em oposição de fase alternada (*alternative phase opposite disposition* - APOD): No método de portadoras em oposição de fase, cada um dos sinais, em níveis CC intermediários, apresenta uma defasagem de 180° em relação aos dois sinais adjacentes. A Figura 11 apresenta uma ilustração para um inversor a 5-níveis.

Figura 11 – Método LSPWM com portadoras em oposição de fase alternada.



Fonte: Arquivo pessoal

O índice de modulação de amplitude para o método LSPWM é definido como:

$$m_a = \frac{V_m}{V_{cr}(n-1)}, [0 \leq m_a \leq 1] \quad (5)$$

Onde,

- V_m : amplitude de pico do sinal modulante;
- V_{cr} : amplitude de pico do sinal da portadora;
- n : número de níveis do conversor.

Pode-se observar que para o caso de um conversor de três níveis, os métodos de portadoras em oposição de fase e em oposição de fase alternada são exatamente iguais.

2.3.2 Modulação por vetor espacial

Desenvolvido com base no conceito do vetor espacial em sistemas trifásicos balanceados, os tempos de comutação das chaves do inversor são calculados a partir da representação do vetor tensão de referência. O vetor espacial de tensão \vec{v}_s combina simultaneamente os valores das variáveis de três fases, que são mapeados em um único vetor no plano complexo $\alpha\beta o$, dado por (RODRIGUEZ et al., 2009):

$$\vec{v}_s = \frac{2}{3}(v_{an} + av_{bn} + a^2v_{cn}) \quad (6)$$

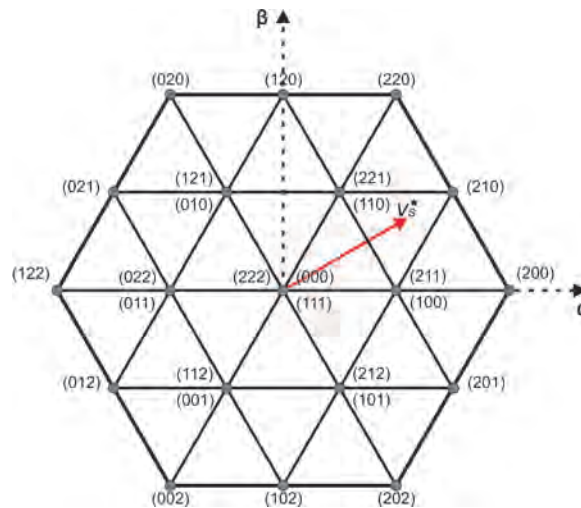
Onde os operadores complexos são dados por:

$$a = e^{-j\frac{2\pi}{3}} \quad (7)$$

$$a^2 = e^{-j\frac{4\pi}{3}} \quad (8)$$

Substituindo em (EQ. 6) as tensões fase-neutro de saída (v_{an} , v_{bn} e v_{cn}), para cada estado de chaveamento possível, podem ser obtidos os vetores espaciais do inversor. A Figura 12 apresenta o hexágono de tensão, composto a partir dos estados de chaveamento possíveis para um inversor trifásico de três níveis (na topologia NPC ou FC). De acordo com essa representação, $v_a = v_b = v_c = E$ corresponde ao estado de chaveamento 222, conforme os Quadros 1 e 3. Neste caso, tem-se 27 vetores espaciais resultantes (em geral, o número de vetores de estado de um conversor trifásico com n -níveis é igual a n^3), sendo que 19 vetores assumem valores distintos e os oito restantes são redundantes.

Figura 12 – Vetores de tensão de um conversor de 3-níveis trifásico.



Fonte: Adaptado de Rodriguez et al. (2009)

A idéia básica da modulação por vetor espacial (*space vector modulation* - SVM) é aplicar os três vetores mais próximos do vetor tensão de referência que se deseja sintetizar durante intervalos de tempo pré-definidos, de modo que o vetor médio se aproxime do vetor de referência desejado. O princípio da SVM pode ser resumido como:

$$\vec{v}_s^* = \frac{1}{T_s} (t_1 v_1 + t_2 v_2 + t_3 v_3) \quad (9)$$

Onde,

- a) \vec{v}_s^* : vetor tensão de referência;
- b) v_1, v_2, v_3 : vetores de tensão mais próximos de \vec{v}_s^* ;

- c) t_1, t_2, t_3 : tempos de aplicação dos vetores de tensão, respectivamente, v_1, v_2 , e v_3 ;
 d) T_s : período de modulação.

O período de modulação é fixo e corresponde à soma dos intervalos de tempo:

$$T_s = t_1 + t_2 + t_3 \quad (10)$$

O problema consiste, portanto, no desenvolvimento de um algoritmo capaz de encontrar os vetores v_x , $x \in \{1, 2, 3\}$, mais próximos da posição do vetor de referência e calcular os respectivos intervalos de tempo t_1 , t_2 e t_3 correspondentes aos respectivos estados de chaveamento. Uma vez calculados esses intervalos de tempo, cada vetor é gerado durante o tempo correspondente, alcançando-se na média ao longo de T_s , um vetor mais próximo ao vetor de referência.

Normalmente esta estratégia apresenta boa utilização da tensão do barramento CC, baixo *ripple* de corrente e facilidade de implementação através de dispositivos digitais programáveis, dentre estes, os processadores digitais de sinais (MENDES et al., 2001).

2.3.3 Eliminação seletiva de harmônicos

Nesse método, a tensão de saída é gerada a partir do controle dos ângulos de comutação, visando eliminar as componentes harmônicas de baixa ordem. Estes ângulos são calculados a partir da componente de frequência fundamental, correlacionados às componentes harmônicas a serem eliminadas na tensão de saída do inversor. O princípio é a decomposição de Fourier de um sinal senoidal sintetizado em $(2m + 1)$ níveis, da forma:

$$h_{n_o} = \frac{4}{n_o \pi} \sum_{k=1}^{m_o} V_k \cos(n_o \alpha_k) \quad (11)$$

Onde,

- a) n_o : ordem da componente harmônica;
 b) h_{n_o} : amplitude de uma componente harmônica qualquer de ordem ímpar n_o ;
 c) m_o : número de ângulos de chaveamento;
 d) V_k : k -ésimo nível da tensão CC sintetizado pelo inversor;
 e) α_k : k -ésimo ângulo de comutação.

De uma forma geral pode-se dizer que para m_o ângulos de disparo tem-se a eliminação de $m_o - 1$ componentes harmônicas indesejadas. Na Figura 13 é mostrado um exemplo considerando três ângulos ($\alpha_1, \alpha_2, \alpha_3$), para um conversor 3-níveis (EL-BAKRY, 2009).

Esta estratégia requer algoritmos numéricos para resolver um conjunto de equações transcendentais que são realizadas para diversos índices de modulação de forma a determinar os ângulos α_k . Este processo pode levar a cálculos complexos cuja execução em tempo real pode ser inviável considerando-se os atuais microprocessadores. Usualmente, os cálculos são

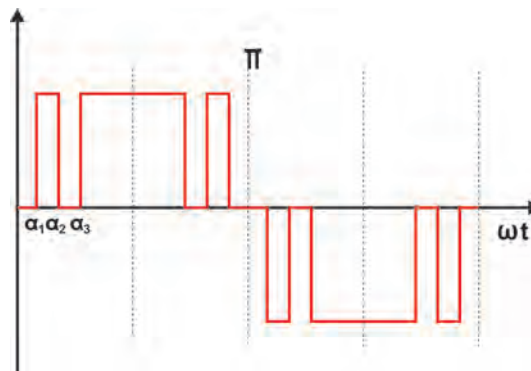
executados *off-line* e as soluções são armazenados em tabelas de pesquisa (*lookup tables*). A partir das *lookup tables*, métodos de interpolação são utilizados para o cálculo dos índices de modulação cujos ângulos não estejam presentes nas tabelas. Isto faz com que os algoritmos baseados na eliminação seletiva de harmônicos (SHE) não sejam adequados para aplicações que demandem elevado desempenho dinâmico. Neste método, o índice de modulação é definido pela seguinte equação:

$$m = \frac{V_m}{V_{BAR}} \quad (12)$$

Onde,

- a) V_m : amplitude máxima da tensão de referência;
- b) V_{BAR} : tensão do barramento CC.

Figura 13 – Eliminação seletiva de harmônicos de um conversor de três níveis.



Fonte: Adaptado de Rodriguez et al. (2009)

A eliminação seletiva de harmônicos requer que o método PWM seja aplicado em baixas frequências de chaveamento ($F_{PWM} < 1$ kHz), usualmente utilizado em conversores aplicados a elevadas potências. Comparativamente, se nestas mesmas aplicações fosse utilizado o método CBPWM com reduzida frequência da portadora, componentes harmônicas de baixa ordem iriam aparecer na tensão de saída, aumentando os níveis de distorção na tensão de saída e, conseqüentemente, reduzindo o desempenho dos sistemas (RODRIGUEZ et al., 2009).

2.3.4 Controle pelo vetor mais próximo

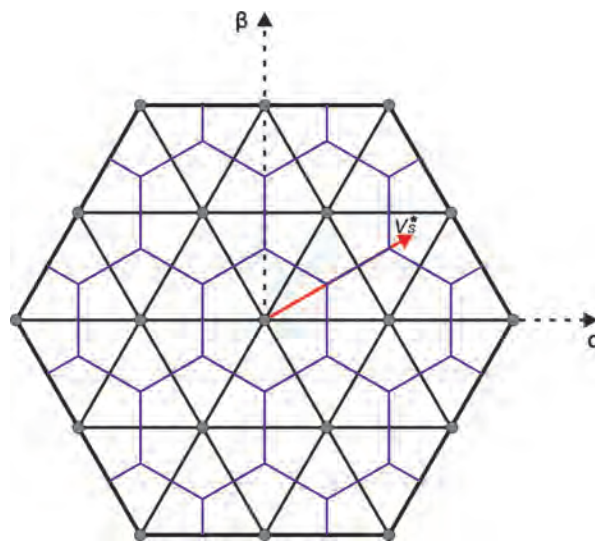
O método de controle pelo vetor mais próximo (NVC), ou controle por vetor espacial (*space vector control* - SVC), proposto por Rodriguez et al. (2002b), é uma técnica que utiliza baixa frequência de chaveamento. Trata-se de uma alternativa para utilização de frequências de chaveamento inferiores a 1 kHz, sem a necessidade de realização de cálculos *offline* e redução do desempenho dinâmico, como acontece no método SHE.

A idéia básica é aproveitar o elevado número de vetores de tensão gerados por um conversor multinível, bastando aproximar-se o vetor tensão de referência do vetor de tensão mais

próximo e disponível no plano $\alpha\beta$, sem necessidade de modulação. Neste sentido, esse método é conhecido como controle pelo vetor mais próximo, em vez de modulação, uma vez que nenhuma aproximação de tempo médio de referência é realizada.

Na Figura 14 estão representados os estados possíveis de um conversor de 3-níveis, onde os vértices dos triângulos correspondem aos estados de chaveamento e os hexágonos representam os limites das áreas em torno desses mesmos estados. O vetor espacial de tensão de referência, destacado em vermelho, estará sempre localizado em um dos hexágonos interiores. A cada período, o algoritmo de controle verifica em qual hexágono se encontra o vetor de referência e escolhe o vetor mais próximo correspondente.

Figura 14 – Princípio de operação do controle do vetor mais próximo.



Fonte: Adaptado de Rodriguez et al. (2009)

Este método, apesar de ter um princípio de funcionamento simples, envolve uma implementação complexa, visto que o algoritmo de controle precisa determinar, numericamente, o vetor mais próximo.

Esta seleção natural produz uma redução no número de comutações, uma vez que nenhuma comutação é forçada pelo modulador, reduzindo desta forma as perdas por comutação. No entanto, a técnica NVC não elimina componentes harmônicos de baixa-ordem. Além disso, o seu uso se torna muito desfavorável para conversores de dois ou três níveis, devido à extensa área delimitada pelo hexágono nesses casos.

2.3.5 Controle pelo nível mais próximo

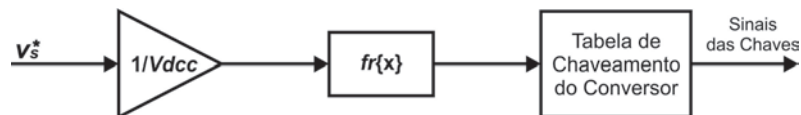
O controle pelo nível mais próximo (NLC) tem, basicamente, o mesmo princípio de funcionamento do NVC. Baseia-se nos níveis de tensão ao invés dos vetores espaciais, selecionando os níveis de saída do inversor mais próximos às componentes da tensão de referência desejada. Diferentemente do que ocorre no controle pelo vetor mais próximo, onde as três fases

são controladas diretamente com a seleção do vetor, as três componentes trifásicas são controladas de forma independente, relacionadas às respectivas componentes de referência defasadas, entre si, de 120° . A principal vantagem é que o algoritmo é bastante simplificado em relação ao NVC, uma vez que é muito mais fácil determinar o nível de tensão mais próximo, na saída do inversor. A seleção do nível de tensão é reduzida a uma única expressão por fase:

$$NVC = Vd_{CC}f_r \quad (13)$$

Onde Vd_{CC} é a diferença de tensão entre dois níveis. Inicialmente, conforme mostra a Figura 15, o valor Vd_{CC} é usado para normalizar referência de tensão de saída (v_s^*) por fase. O valor normalizado é avaliado através de uma função de aproximação, definida de forma que $f_r\{x\}$ é o inteiro mais próximo de x . Esse número inteiro mais próximo, multiplicado por Vd_{CC} , corresponde ao nível mais próximo de tensão, que é fornecido pelo conversor e será usado como o valor de referência para a definição dos estados de chaveamento.

Figura 15 – Diagrama do controle do nível mais próximo.



Fonte: Adaptado de Rodriguez et al. (2009)

Comparada à modulação SHE, essa técnica não elimina harmônicos específicos, uma vez que não é, de fato, uma estratégia de modulação. Portanto, o método NLC, assim como o NVC, não é eficaz para conversores com um número reduzido de níveis, uma vez que o erro de aproximação torna-se relevante. A principal vantagem refere-se à sua simplicidade de implementação, que o torna adequado aos inversores de número de níveis de saída mais alto (RODRIGUEZ et al., 2009).

2.4 Redução da distorção harmônica na carga

O desempenho de um inversor, usualmente, é avaliado em relação ao conteúdo harmônico da tensão de saída, perdas por comutação e perdas por condução. Considerando a topologia a capacitor flutuante, as pesquisas recentes propõem que modificações nas técnicas de modulação visando à redução da geração de componentes harmônicos na saída dos inversores podem ser classificadas em dois grupos: controle da tensão do capacitor flutuante e a otimização dos ângulos de chaveamento.

2.4.1 Controle da tensão do capacitor flutuante

Segundo Thielemans, Vyncke e Melkebeek (2008), em decorrência da síntese dos sinais através de um maior número de níveis de tensão, a forma de onda de saída dos inversores de

alta potência pode ser consideravelmente melhorada o que, por sua vez, requer uma distribuição balanceada dos níveis intermediários das tensões CC. Esse balanceamento é influenciado por diversos fatores, dentre eles: o conteúdo harmônico da forma de onda de referência, a frequência de chaveamento e variações da impedância da carga.

No caso das topologias a capacitor flutuante, os ajustes das tensões CC intermediárias podem ser realizados usando-se técnicas que conduzam ao balanceamento natural ou medindo-se a tensão de cada capacitor e a direção da corrente e, a partir daí, selecionando-se o estado apropriado para a comutação das chaves estáticas.

A primeira técnica, denominada balanceamento natural, consiste em manter constantes as tensões dos capacitores flutuantes, usando-se igual *duty cycle* em cada um dos pares de chaves complementares. Isso pode ser feito utilizando-se um método especial de PWM, em que cada par de chaves responsáveis pela carga/descarga dos capacitores flutuantes, tenha um sinal de portadora com defasamento de 90° , denominado PWM por portadora de mudança de fase (*phase shift carrier pulse width modulation* - PSCPWM). O segundo método requer as medições das tensões dos capacitores e direção das correntes nas saídas. Os estados apropriados de cada chave são obtidos por meio de uma tabela e dependem da tensão de saída desejada, do valor da tensão dos capacitores em relação às tensões de referência e da direção das correntes.

Choi e Saeedifard (2011) propõem um método de balanceamento, em malha fechada, baseado no SVM, que explora a redundância dos estados de comutação para eliminar os desvios de tensão do capacitor. Em comparação com os métodos existentes, esta proposta não tem qualquer impacto negativo sobre as formas de onda do lado CA e é aplicável a um conversor FC com qualquer número de níveis. Basicamente, a proposta consiste na minimização de uma função de custo J_k associada aos desvios de tensão dos capacitores, definida como:

$$J_k = \frac{1}{2} \sum_{j=1}^{n-2} C_{jk} (V_{C_{jk}} - V_{C_{jk}(nom)})^2, \quad k \in \{a, b, c\} \quad (14)$$

Onde, conforme a expressão, k refere-se ao sistema trifásico, j indica o capacitor flutuante e $V_{C_{jk}(nom)}$ é a tensão de referência do capacitor C_{jk} . Os melhores estados de comutação, entre os redundantes, que minimizam a função de custo são escolhidos para sintetizar as tensões de saída.

Em (SOURKOUNIS; AL-DIAB, 2008) são analisadas e comparadas duas diferentes estratégias PWM: a modulação por vetor espacial (*space vector modulation* - SVM) e a modulação baseada em portadora (*carrier based pulse width modulation* - CBPWM). A idéia é ter um procedimento geral, a fim de implementar o SVM ou o CBPWM para um inversor NPC, para qualquer número de níveis de tensão. São apresentados, em detalhes, os vetores de comutação e os diagramas dos vetores espaciais, bem como os cálculos dos ciclos de funcionamento e as sequências de comutação para implementar a estratégia SVM.

Em (SHUKLA; GHOSH; JOSHI, 2008) é discutida uma estratégia de regulação de corrente por histerese utilizando um inversor a capacitor flutuante de cinco níveis. Um novo método

de balanceamento de tensão do capacitor flutuante é proposto, que garante o equilíbrio das tensões e, ao mesmo tempo, mantém o perfil de corrente desejado. A técnica de controle por histerese tem se mostrado como uma solução mais adequada para as aplicações de inversores de tensão controlados por corrente, onde os requisitos de desempenho são mais exigentes, tais como filtros ativos e condicionadores de energia CA de alto desempenho.

Em (SHUKLA; GHOSH; JOSHI, 2007), dois métodos são propostos para o balanceamento de tensão dos capacitores no conversor FC. No primeiro método, essas tensões são reguladas através de um comparador de três níveis, enquanto os estados de chaveamento redundantes são utilizados para reduzir as perdas por comutação. No segundo, as chaves estáticas são controladas a partir da amostragem das tensões dos capacitores flutuantes, a uma taxa fixa para se obter um melhor equilíbrio dos mesmos. Estes esquemas não exigem nenhuma modificação na portadora ou no sinal de modulação, mas procuram usar os estados das chaves de forma mais eficiente. Os autores mostram que, com esses métodos, uma forma de onda melhorada da tensão de saída é obtida sem a necessidade de elevar a frequência de comutação.

Em (ADABI; SOLTANI; ZARE, 2008), uma técnica de controle de tensão por histerese, com base no método de eliminação de harmônicos, é apresentada para um inversor monofásico multinível a capacitor flutuante, para aplicações em alta tensão e elevada frequência. Um dos principais objetivos da técnica proposta, além da sintetização de sinais senoidais em alta tensão, é controlar as tensões nos capacitores em todas as condições operacionais, incluindo cargas não-lineares e curto-circuito súbito. Além disto, esta técnica pode evitar o colapso de tensão quando a impedância da carga é reduzida drasticamente.

2.4.2 Otimização dos ângulos de chaveamento

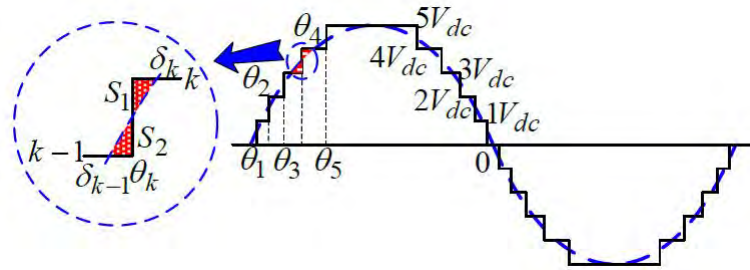
Pode-se destacar duas formas de abordagem quanto aos métodos para a eliminação de componentes harmônicos de baixa frequência:

- a) O aumento da frequência de chaveamento nos métodos CBPWM e SVPWM ou a mudança de fase no PWM baseado em multi-portadora.
- b) A otimização dos ângulos de chaveamento para o método SHE.

A eliminação harmônica seletiva para as formas de onda de tensão senoidal sintetizada (*staircase synthesis*), geradas por inversores multiníveis, tem sido estudada extensivamente na última década. A maioria dos métodos publicados sobre este assunto foi baseada na resolução de equações polinomiais multi-variáveis de alta ordem, obtidas a partir da expansão da série de Fourier dos sinais de saída do inversor (WANG; AHMADI, 2010).

(WANG; AHMADI, 2010) apresentam uma abordagem baseada no critério de área igual e injeção de componentes harmônicos. O critério de área igual é uma maneira natural para conseguir bons ângulos de comutação, cuja idéia básica é mostrada na Figura 16. O ângulo de comutação inicial, θ_K , pode ser encontrado resolvendo a condição $S_1 = S_2$, sendo S_1 e S_2 as áreas das partes sombreadas.

Figura 16 – Forma de onda em degrau generalizada de um inversor multinível.



Fonte: Wang e Ahmadi (2010)

Na injeção de harmônicos, a idéia é injetar novas tensões ou correntes harmônicas. Essas tensões ou correntes teriam a mesma amplitude, mas ângulos de fase opostos aos ângulos de fase dos harmônicos a serem cancelados. Este trabalho aplica-se aos métodos SHE para inversores multiníveis, nos quais, para cada nível de tensão, podem haver múltiplos ângulos de chaveamento. O número de componentes harmônicos eliminados é decidido pelo número de degraus de tensão e pelo número de ângulos de comutação em cada um desses degraus (WANG; AHMADI, 2010).

Fu et al. (2009) propõem um método de implementação digital para o PWM por eliminação harmônica seletiva (*selective harmonic elimination pulse width modulation - SHEPWM*) baseado em DSP. Primeiro são calculados os ângulos de chaveamento para eliminar as componentes harmônicas selecionadas e são obtidas as relações entre esses ângulos e o índice de modulação. Os coeficientes, obtidos através de curvas e ajustes, são armazenados na memória do DSP. No método proposto, aplica-se a idéia do PWM por vetor espacial para aproximar o SHEPWM. Comparado a outros métodos, o SHEPWM tem como vantagens a maior eliminação de componentes harmônicas, melhor forma de onda de saída e baixa frequência de chaveamento.

Muthuramalingam, Balaji e Himavathi (2006) apresentam a técnica de modulação em degrau com otimização harmônica (*optimised harmonic stepped waveform - OHSW*) destinada à comutação em baixa frequência, visando à redução das perdas por chaveamento. No método de modulação proposto, pontos adicionais de chaveamento são introduzidos para elevar as componentes harmônicas de baixa ordem da tensão de saída do inversor. Com isto, é possível reduzir o tamanho do filtro passa-baixa de saída do tipo LC (indutivo-capacitivo), as perdas de chaveamento, o custo e a complexidade do sistema. Os autores propõem combinar o método PWM por eliminação harmônica seletiva com o método de modulação em degrau com otimização harmônica.

Du et al. (2008) apresentam o método de eliminação harmônica ativa por frequência de chaveamento reduzida (*reduced switching-frequency active-harmonic-elimination - RAHEM*), o qual é aplicado a componentes harmônicas de ordem específica. Primeiro, utiliza-se o es-

quema de frequência de chaveamento fundamental, no qual os ângulos de chaveamento são determinados usando-se a teoria da eliminação de componentes harmônicos de baixa ordem. Em seguida, baseado no número de componentes harmônicos a ser eliminado, o método iterativo de Newton é aplicado às equações transcendentais para excluir as equações relativas aos harmônicos de ordem maior e para determinar os ângulos de chaveamento para a frequência de chaveamento fundamental. Finalmente, as amplitudes e fases das componentes harmônicas residuais são calculadas, geradas e subtraídas da forma de onda de tensão original para eliminar as componentes harmônicas de baixa ordem.

Liu, Hong e Huang (2009) apresentam o método *step modulation*, que faz parte de uma família de modulação por largura de pulsos ideal, que pode gerar tensões de saída com menor distorção harmônica se comparada às estratégias de modulação populares, como PWM senoidal baseado em portadora e o SVPWM. No entanto, existem algumas limitações na aplicação do PWM ideal. Uma limitação deve-se à impossibilidade de cálculo, em tempo real, dos ângulos de chaveamento, tornando-se necessário o uso de tabelas com ângulos pré-calculados. Os autores propõem um novo algoritmo em tempo real para o cálculo dos ângulos de chaveamento, a ser implementado em um processador digital de sinais. Para uma mesma frequência de chaveamento, a qualidade da tensão gerada pelo PWM ideal é superior à tensão obtida através dos métodos CBPWM e SVPWM.

2.5 Conclusão

Neste capítulo, foram apresentadas as topologias clássicas de conversores multiníveis e alguns desenvolvimentos já aplicados na indústria. Foram mostrados alguns dos principais métodos de modulação por largura de pulso disponíveis na literatura atual e, em seguida, técnicas destinadas à redução da distorção harmônica na carga, aplicáveis aos inversores a capacitor flutuante. As inúmeras publicações evidenciam o grande interesse pelo tema e a importância da busca por soluções que reduzam os níveis de distorção harmônica da tensão e corrente aplicadas à carga.

A revisão bibliográfica realizada permitiu constatar a atualidade do tema e a importância do inversor multinível como uma ferramenta eficiente em aplicações de alta potência e no processo de redução da distorção harmônica.

3 FUNDAMENTOS TEÓRICOS

3.1 Introdução

Neste capítulo, são apresentados alguns dos principais aspectos do inversor multinível a capacitor flutuante. Essa topologia requer um número menor de chaves estáticas, permite o controle independente das tensões de saída e dos capacitores flutuantes e pode agregar, com facilidade, técnicas destinadas à redução da distorção harmônica de saída e minimização das perdas por chaveamento, dentre outras. Em seguida, são abordados os métodos de modulação por largura de pulsos mais comumente utilizados no controle das chaves do inversor e técnicas aplicáveis ao controle de tensão sobre os capacitores flutuantes. Por fim, são definidos os critérios a serem utilizados na avaliação de desempenho do inversor.

3.2 Inversor multinível a capacitor flutuante

A arquitetura do inversor multinível a capacitor flutuante, introduzida na seção 2.2, possibilita um maior número de estados para as chaves de cada braço se comparado aos conversores com neutro grampeado. Dessa forma, duas ou mais combinações válidas de chaves podem sintetizar a mesma tensão de saída, garantindo uma melhor aproximação em relação aos sinais de referência. Outra vantagem dessa configuração é a simplificação do circuito, já que não é necessária, como nas configurações a neutro grampeado ou em cascata, a utilização de diodos grampeadores ou fontes de tensão independentes, respectivamente.

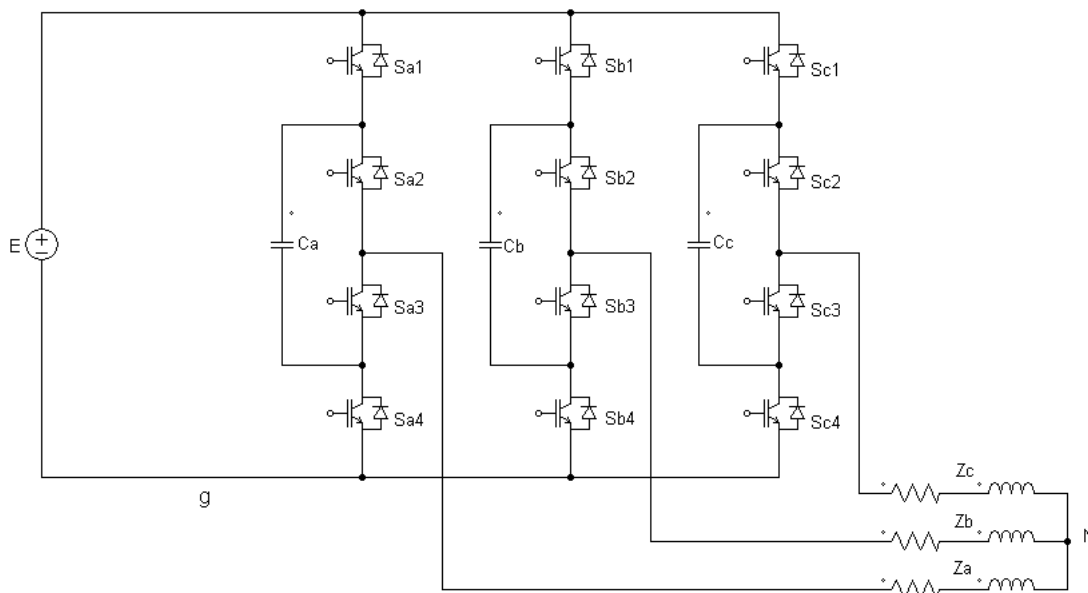
A Figura 17 apresenta a estrutura do inversor a três níveis com capacitor flutuante. O circuito é composto por três braços contendo em cada um, quatro transistores bipolares de *gate* isolado (*insulated gate bipolar transistor* - IGBT). Os diodos em antiparalelo possibilitam às chaves estáticas conduzirem de forma bidirecional. Um capacitor flutuante, que dá nome à configuração, é conectado a cada um dos braços cujos pontos centrais são ligados a uma impedância trifásica, com ponto neutro (N) flutuante. Para cada braço, são possíveis quatro estados de chaveamento denominados como P , O e N associados a $SS_x = 2, 1$ e 0 , respectivamente, onde $x \in \{a, b, c\}$. O estado O pode ser obtido a partir de duas configurações das chaves indicadas como O_A e O_B (PEIXOTO, 2000).

Conforme o Quadro 5, no estado P as chaves $Sx1$ e $Sx2$ estão ligadas e as chaves $Sx3$ e $Sx4$ desligadas, conectando a carga diretamente ao ponto superior do barramento CC. Dessa forma, esse estado não altera a tensão nos capacitores flutuantes e a tensão de saída da respectiva fase é igual à tensão E . Os estados O_A e O_B ocorrem nos instantes em que as chaves, respectivamente, ($Sx1$ e $Sx3$) ou ($Sx2$ e $Sx4$) são ligadas. Já o estado N ocorrerá quando $Sx1$ e $Sx2$ estiverem desligadas e as chaves $Sx3$ e $Sx4$ ligadas, conectando a carga ao ponto inferior do barramento.

Com quatro estados em cada braço, são possíveis 64 (4^3) diferentes configurações das chaves do inversor. Caso as tensões nos capacitores Vcx , $x \in \{a, b, c\}$ sejam mantidas na metade

da tensão do barramento CC, produz-se a mesma tensão nas saídas do inversor nos estados tipo O_A e O_B , indicados apenas como estado O . Nessas condições, a variável de controle da tensão de saída para cada braço do inversor, denominada $SCx(t)$, pode assumir os valores 1, 0 ou -1, associados aos estados P, O e N, respectivamente.

Figura 17 – Esquemático simplificado do inversor 3-níveis com capacitor flutuante.



Fonte: Adaptado de Peixoto (2000)

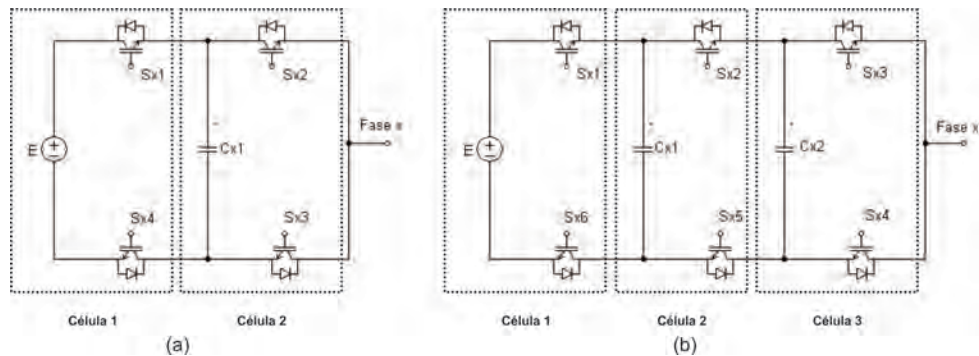
Quadro 5 – Estados de chaveamento para o inversor 3-níveis com capacitor flutuante

Estado	Tipo	SCx	$Sx1$	$Sx2$	$Sx3$	$Sx4$	Vxg
P	-	1	1	1	0	0	E
O	A	0	1	0	1	0	$E - V_{Cx}$
	B	0	0	1	0	1	V_{Cx}
N	-	-1	0	0	1	1	0

Fonte: Peixoto (2000)

Segundo Rodriguez et al. (2009), se comparado à topologia com neutro grampeado, o inversor a capacitor flutuante tem uma estrutura modular e pode ser facilmente estendido com o incremento de novas células, possibilitando alcançar mais níveis de tensão e elevadas taxas de potência. Esta característica é enfatizada na Figura 18, onde, com a adição de um par de chaves e um capacitor (conjunto que forma uma célula de potência), é possível construir um inversor de 4-níveis a partir de um 3-níveis. Cada uma destas células pode ser conectada uma após a outra, fornecendo um nível de tensão adicional para a saída. Em consequência, há um incremento do número de estados redundantes, que podem ser usados para fins de controle e/ou otimização.

Figura 18 – Estrutura do inversor multinível FC: (a) 3-níveis e (b) 4-níveis.



Fonte: Adaptado de Rodriguez et al. (2009)

Para Khomfoi e Tolbert (2006) as principais vantagens e desvantagens do conversor multinível a capacitor flutuante são (KHOMFOI; TOLBERT, 2006):

a) Vantagens

- Os estados redundantes estão disponíveis para o balanceamento dos níveis de tensão dos capacitores flutuantes.
- O controle para garantir uma tensão constante sobre os capacitores pode ser realizado de forma independente da tensão de saída.

b) Desvantagens

- Complexidade para controlar os níveis de tensão para todos os capacitores. Além disso, a inicialização ou pré-carregamento de todos os capacitores no mesmo nível de tensão pode tornar-se uma tarefa razoavelmente complexa.
- Caso seja necessário um grande número de capacitores, a implementação pode se tornar mais cara e volumosa do que a fixação de diodos em conversores com neutro grampeado.

O aumento do número de configurações das chaves no inversor a capacitor flutuante incentiva o desenvolvimento de técnicas de modulação por largura de pulsos que permitam, simultaneamente, o controle das tensões de saída de cada fase e a inclusão de técnicas de otimização para fins da redução de geração de componentes harmônicos, minimização das perdas por chaveamento e outras restrições próprias dos dispositivos semicondutores.

3.3 Estratégias de modulação

O principal objetivo no comando de um inversor de tensão é obter formas de onda das tensões de saída com baixo conteúdo de componentes harmônicos, com amplitude e frequência variável. Na seleção de uma técnica de controle por modulação de largura de pulsos (PWM) para os conversores multiníveis, alguns fatores devem ser considerados, destacando-se (MENDES, 2000):

- a) Os tempos t_{on} e t_{off} mínimos dos interruptores;
- b) A máxima frequência de comutação;
- c) O equilíbrio das tensões nos capacitores do barramento CC;
- d) O aproveitamento da capacidade de tensão do inversor;
- e) A operação na região de sobremodulação (quando o vetor tensão a ser sintetizado ultrapassa o valor máximo de tensão disponível, a partir do barramento de entrada);
- f) O conteúdo de componentes harmônicos nas tensões e correntes de saída;
- g) O ruído acústico e a interferência eletromagnética.

Atualmente existem diversas estratégias aplicáveis ao comando dos inversores multiníveis, dentre as quais os critérios de escolha envolvem a topologia, o tipo de carga ou a faixa admissível para a frequência de chaveamento. Este trabalho trata, mais especificamente, dos métodos de modulação de largura de pulsos por vetor espacial (*space vector* PWM - SVPWM) e modulação por mudança de nível baseado em portadoras (*phase disposition* PWM - PDPWM), os quais se destacam na literatura técnico-científica da atualidade.

3.3.1 Modulação de largura de pulsos por vetor espacial

O método de modulação de largura de pulsos por vetor espacial (*space vector* PWM - SVPWM) foi originalmente desenvolvido para conversores bipolares e, posteriormente, modificado para aplicações em inversores multiníveis. Liu, Choi e Cho (1991) foi o primeiro trabalho a estender esta técnica para um inversor de 3-níveis, do tipo neutro grampeado.

Conforme citado anteriormente, essa estratégia é baseada na teoria do vetor espacial complexo \vec{v}_s , que combina simultaneamente os valores instantâneos das tensões de três fases, conforme apresentado na Equação 6 e, para uma maior facilidade, repetida a seguir:

$$\vec{v}_s = \frac{2}{3}(v_{an} + av_{bn} + a^2v_{cn}) \quad (15)$$

Sendo o operador,

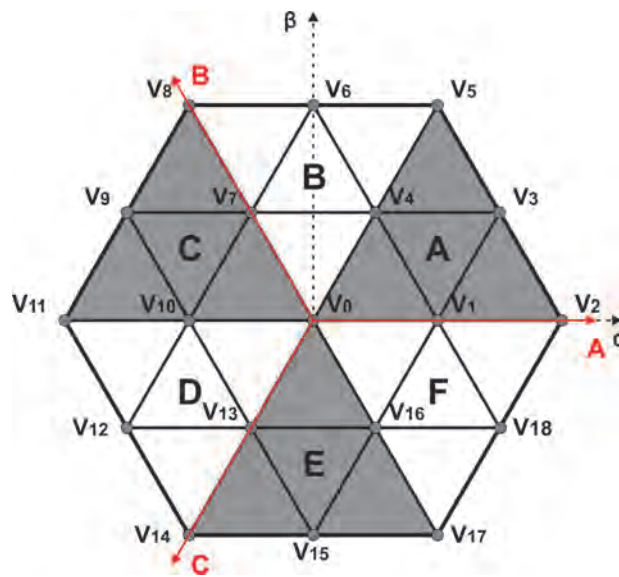
$$a = e^{j\frac{2\pi}{3}} \quad (16)$$

Com base na combinação dos estados dos três braços do inversor 3-níveis mostrado na Figura 17, pode-se calcular os valores resultantes das tensões trifásicas de saída e, a partir daí, aplicando-se a Transformação de Clarke (EQ. 17), obter-se os 27 vetores espaciais conforme a Quadro 17, apresentada no Anexo B, expressos em um sistema de eixo ortogonais entre si, usualmente indicado por Plano $\alpha\beta o$. Desses vetores, apenas os 19 vetores de tensão de valores distintos são representados graficamente no plano $\alpha\beta o$, conforme hexágono de tensão da Figura 19. Por simetria, esse hexágono foi dividido em seis setores (A a F) e em 24 regiões tri-

angulares elementares, cada setor correspondendo a 1/6 do período do sistema de alimentação trifásico equilibrado.

$$\begin{bmatrix} v_\beta \\ v_\alpha \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} \quad (17)$$

Figura 19 – Hexágono com os vetores de tensão do inversor a 3 níveis.



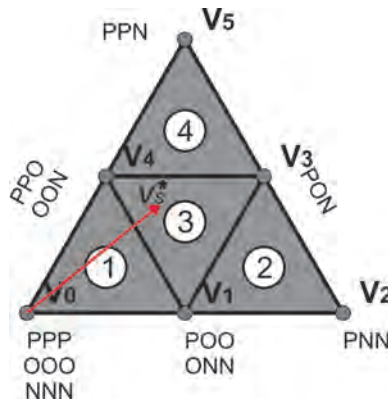
Fonte: Adaptado de Peixoto (2000)

No método de modulação por vetor espacial de tensão (SVPWM), o vetor tensão de referência \vec{v}_s^* é sintetizado através dos três vetores espaciais de tensão dos vértices mais próximos do vetor desejado, durante intervalos de tempo pré-definidos pela frequência de chaveamento. Como exemplo, na Figura 20, o vetor \vec{v}_s^* tem sua extremidade na região 3 do Setor A. Portanto, o vetor espacial de tensão de saída do inversor será composto a partir da aplicação alternada dos vetores de tensão V_1 , V_3 e V_4 , durante seus respectivos tempos de chaveamento, previamente calculados. Uma característica deste método é o crescimento do número de regiões do inversor com o aumento de níveis. Como exemplo, enquanto um inversor de 3 níveis apresenta 24 regiões, um inversor 4 níveis apresentará 54 regiões (MENDES, 2000).

A partir do Quadro 17, os valores instantâneos das tensões fase-neutro $v_{xn}(k)$ podem ser expressos em função dos sinais de comando de cada braço e, a partir daí, pode-se calcular os valores médios dessas tensões durante o k-ésimo período PWM, como:

$$\begin{bmatrix} \bar{v}_{an}(k) \\ \bar{v}_{bn}(k) \\ \bar{v}_{cn}(k) \end{bmatrix} = \frac{E}{6} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \cdot \begin{bmatrix} \bar{S}C_a(k) \\ \bar{S}C_b(k) \\ \bar{S}C_c(k) \end{bmatrix} \quad (18)$$

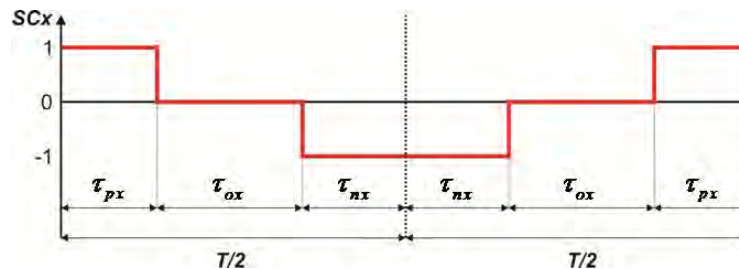
Figura 20 – Vetores de tensão do setor A.



Fonte: Adaptado de Peixoto (2000)

Denominando os intervalos de tempos de comutação das chaves nos estados P, O e N como , respectivamente, τ_{px} , τ_{ox} e τ_{nx} ($x \in \{a, b, c\}$) pode-se definir um sinal genérico de comando para um braço do conversor, mostrado na Figura 21, para um período T da modulação por largura de pulsos.

Figura 21 – Sinal de comando para um braço do inversor.



Fonte: Adaptado de Peixoto (2000)

Com base na Figura 21, o valor médio do sinal de comando SC_x pode ser expresso em função dos tempos de aplicação dos estados de comutação P e N :

$$\bar{SC}_x = \frac{\tau_{px}(k) - \tau_{nx}(k)}{T} \quad (19)$$

Com base nas Equações 18 e 19, Mendes et al. (2001) e Peixoto (2000) apresentam um método SVPWM que utiliza apenas equações algébricas simples para calcular os tempos em que as chaves estáticas estarão ativas, a partir de uma tensão de referência trifásica qualquer, em um sistema trifásico equilibrado. São empregadas todas as combinações distintas dos estados do inversor, considerado a região do setor A do hexágono de tensão. Por simetria, os resultados obtidos para as 4 regiões do setor A são generalizados para os demais setores. A seguir, é apresentado um breve resumo do algoritmo SVPWM proposto, considerando as chaves sem restrições de chaveamento:

- a) Inicialmente é feita a amostragem das tensões fase-neutro de referência;
- b) Em seguida, realiza-se a comparação de amplitude entre as tensões fase-neutro amostradas para a localização do setor sobre o hexágono da Figura 19, através da ordenação das tensões, conforme o Quadro 6;

Quadro 6 – Localização do vetor de referência

Sector	Ordenação das Tensões
A	$v_{an}(k) > v_{bn}(k) > v_{cn}(k)$
B	$v_{bn}(k) > v_{an}(k) > v_{cn}(k)$
C	$v_{bn}(k) > v_{cn}(k) > v_{an}(k)$
D	$v_{cn}(k) > v_{bn}(k) > v_{an}(k)$
E	$v_{cn}(k) > v_{an}(k) > v_{bn}(k)$
F	$v_{an}(k) > v_{cn}(k) > v_{bn}(k)$

Fonte: Peixoto (2000)

- c) Neste ponto do algoritmo, é verificado se a extremidade do vetor de referência está fora do hexágono de operação do inversor (FIG. 22), denominada região de sobre-modulação. A condição para sobre-modulação é apresentada no Quadro 7. Em caso afirmativo, a tensão é limitada em função da tensão máxima permitida pelo barramento CC, como:

$$K = \frac{E}{v_{1n} - v_{3n}} \quad (20)$$

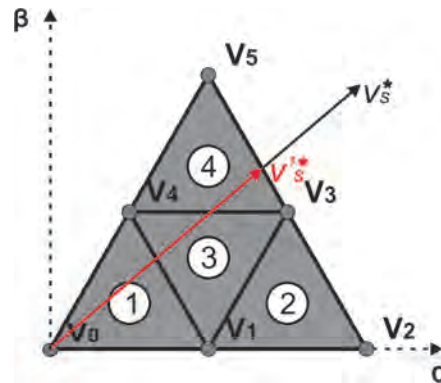
e

$$\begin{cases} v_{1n} = K \cdot v_{1n} \\ v_{2n} = K \cdot v_{2n} \\ v_{3n} = K \cdot v_{3n} \end{cases} \quad (21)$$

Onde,

- K : fator de correção;
 - v_{1n}, v_{2n}, v_{3n} : tensões de referência.
- d) Na sequência, determina-se a região do setor encontrado anteriormente. A região onde se encontra o vetor tensão de referência é dada pelas relações apresentadas no Quadro 7.
- e) Definido o setor e a região do vetor tensão de referência, calcula-se a largura dos pulsos através das expressões apropriadas a cada setor;
- f) Reordena-se os vetores em função do setor original.

Figura 22 – Vetores de tensão do setor A.



Fonte: Adaptado de Peixoto (2000)

Quadro 7 – Determinação das regiões de um setor.

Região	Condição
1	$v_{1n}(k) - v_{3n}(k) < E/2$
2	$v_{2n}(k) - v_{1n}(k) < -E/2$
3	$v_{1n}(k) - v_{3n}(k) > E/2$ e $v_{2n}(k) - v_{1n}(k) < -E/2$ e $v_{2n}(k) - v_{3n}(k) < E/2$
4	$v_{2n}(k) - v_{3n}(k) > E/2$
Sobremodulação	$v_{1n}(k) - v_{3n}(k) > E$

Fonte: Peixoto (2000)

O algoritmo completo para o controle e geração da tensão de saída do inversor, incluindo as equações para o cálculo dos tempos de aplicação dos estados P e N (τ_{px} e τ_{nx} , respectivamente), encontra-se no Anexo A, denominado de Algoritmo SVPWM segundo Mendes (2000) e Peixoto (2000). O algoritmo apresentado pressupõe chaves estáticas ideais, ou seja, sem restrições de tempo de chaveamento.

3.3.2 Método PDPWM modificado

O método PWM bipolar natural (por portadora) pode ser generalizado para os inversores multiníveis. Nestes casos, são necessárias $(n - 1)$ ondas portadoras por braço do inversor, usualmente triangulares, de mesma frequência e amplitude, que podem estar alinhadas, entre si, de forma horizontal (*phase shifted* PWM - PSPWM) ou verticalmente (*level shifted* PWM - LSPWM). Cada uma dessas portadoras é responsável pela geração do sinal de controle de um par complementar de chaves estáticas, a partir da comparação com o sinal de referência aplicado a cada uma das fases. Apesar do método PSPWM ser mais facilmente implementado na forma digital, uma grande vantagem do método LSPWM é que cada par de chaves é comutado um número constante de vezes por período de modulação (ASPALLI; WAMANRAO, 2009).

O método LSPWM é amplamente utilizado em conversores NPC e pode também ser usado em conversores em cascata. Existem basicamente três tipos de esquemas LSPWM:

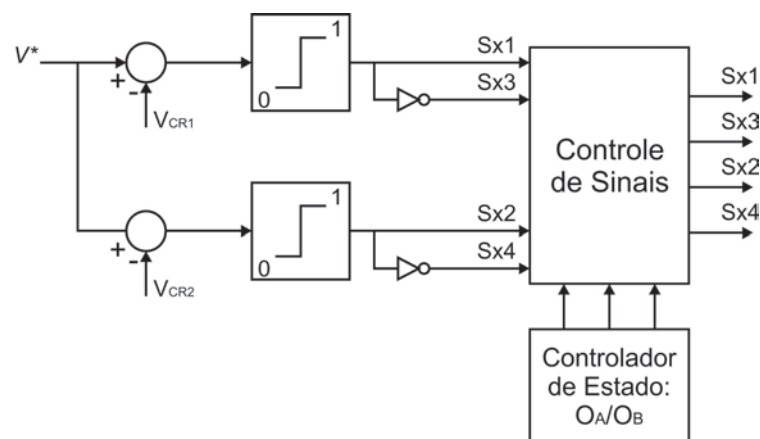
- Portadoras em fase (*phase disposition* - PD);
- Portadoras em oposição de fase (*phase opposite disposition* - POD);
- Portadoras em oposição de fase alternada (*alternative phase opposite disposition* - APOD).

Neste trabalho, propõe-se um esquema LSPWM modificado através da associação das estratégias PDPWM e injeção de harmônicos ao controle de tensão dos capacitores flutuantes. A associação dessas estratégias possibilitará a aplicação do método PDPWM à topologia do inversor FC, com maior índice de aproveitamento da tensão disponível no barramento CC. Essa estratégia é descrita a seguir.

Uma vez que cada portadora está associada a dois diferentes níveis de tensão (daí, o nome *level-shift*), os sinais de controle precisam ser direcionados para as chaves adequadas, a fim de gerar os níveis de tensão de saída requeridos. Considerando o esquema onde as portadoras estão em fase (PDPWM), a de nível mais baixo gera os sinais de controle para as chaves $Sx2$ e $Sx4$, enquanto a de nível mais alto gera os sinais de controle para as chaves $Sx1$ e $Sx3$. Por esta razão, essa técnica de modulação produz uma distribuição desigual de potência entre as células se $n \geq 4$ níveis, pois o número de comutações das chaves superior e inferior é maior em relação às chaves centrais de cada um dos braços do inversor (MALINOWSKI et al., 2010).

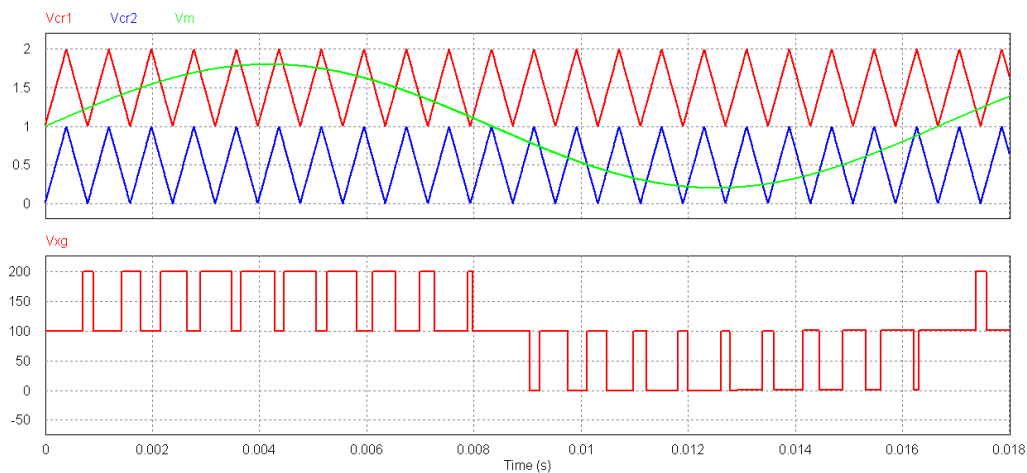
Vale ressaltar que o método PDPWM descrito gera apenas três estados de comutação se aplicado à topologia inversor 3-níveis NPC e que, devido a essa mesma característica, a estratégia não é adequada ao controle das chaves da topologia FC. Neste trabalho, propõe-se a inclusão de um bloco Controlador de Estado O_A/O_B , de tal forma a obter as quatro combinações para a comutação, conforme Quadro 3. O diagrama de implementação, para uma fase do inversor a 3-níveis, é mostrado na Figura 23.

Figura 23 – Diagrama de controle de uma fase do inversor FC com controle via PDPWM.



Quando a estratégia LSPWM, mais especificamente, a categoria PDPWM (com portadoras em fase), é aplicada a um inversor a capacitor flutuante de 3-níveis, são obtidas as formas de onda mostradas na Figura 24. Pode-se observar que nos períodos em que o sinal modulante é maior que o sinal de ambas as portadoras, as duas chaves superiores são ligadas e as duas inferiores são desligadas, conectando a carga à linha positiva do barramento CC. Durante o intervalo de tempo em que a referência está entre ambas as portadoras ($V_{CR2} \leq v^* \leq V_{CR1}$), a saída é conectada ao valor intermediário de tensão. Por fim, quando a referência é menor que ambas as portadoras, as chaves superiores são desligadas e as inferiores ligadas, conectando a carga à linha negativa do barramento.

Figura 24 – Formas de onda geradas pelo controle PDPWM modificado.



Fonte: Arquivo pessoal

No método LSPWM, a componente de frequência fundamental da tensão de saída do inversor pode ser controlada pelo índice de modulação de amplitude, calculado da forma:

$$m_a = \frac{V_m}{V_{cr}(n-1)}, [0 \leq m_a \leq 1] \quad (22)$$

Onde,

- a) m_a : índice de modulação de amplitude;
- b) V_m : amplitude do sinal modulante;
- c) V_{cr} : amplitude do sinal da portadora;
- d) n : número de níveis do conversor.

Além disso, o índice de modulação de frequência, m_f , é definido como:

$$m_f = \frac{f_{CR}}{f_R} \quad (23)$$

Onde,

- a) f_{CR} : frequência da portadora;
- b) f_R : frequência do sinal de referência.

No esquema PDPWM, com valores pares ou ímpares para o índice de modulação de frequência m_f , a energia harmônica significativa está concentrada na frequência da portadora. Por exemplo, com $m_f = 39$, a energia harmônica significativa está na 39ª componente harmônica. Outra característica interessante é que esse método gera somente harmônicos ímpares para valores ímpares de m_f e harmônicos ímpares/pares quando o m_f é par. Além disso, existe simetria para um quarto de onda somente para m_f ímpar (LAALI; ABBASZADEH; LESANI, 2010).

Trabalhos recentes, como (MCGRATH; HOLMES, 2011), têm analisado o esquema PDPWM em conversores FC. Esta estratégia tem se mostrado superior à PSPWM, pois gera níveis substancialmente mais baixos de distorção harmônica na forma de onda de saída. Em (SHUKLA; GHOSH; JOSHI, 2011) são propostas melhorias a este esquema, procurando alcançar o balançamento natural da tensão sobre os capacitores de fase, já que isso não é possível quando o princípio de modulação é utilizado diretamente no conversor FC.

Uma restrição das técnicas de modulação baseadas em portadoras refere-se à redução do valor de pico da tensão de saída em relação à tensão de barramento disponível. Por exemplo, para inversores 3-níveis, o valor de pico da tensão fase-fase de saída será apenas 82,7% da tensão fase-fase do sistema trifásico CA de entrada. Essa limitação pode representar uma séria restrição em sistemas de acionamento elétrico, onde é desejável a utilização das especificações nominais dos motores a partir dos valores usualmente praticados nos sistemas de distribuição elétrica (HOLMES; LIPO, 2003).

Como alternativa, o índice de modulação máxima nas estratégias LSPWM pode ser incrementado pela adição de um termo de terceiro harmônico de sequência zero ao sinal senoidal de referência, sem adentrar na região de sobremodulação. Esta componente não afeta a qualidade da tensão de saída uma vez que as tensões de modo comum são canceladas entre as fases do inversor trifásico. Um incremento de 15% no índice de modulação pode ser alcançado, simplesmente, incluindo-se um sinal com o triplo da frequência e um sexto da amplitude ao sinal de referência. As equações, a seguir, mostram um exemplo de aplicação desse método (HOLMES; LIPO, 2003):

$$v_{a(ref+3)} = m_a \text{sen}(\omega t) + m_3 \text{sen}(3\omega t) \quad (24)$$

$$v_{b(ref+3)} = m_a \text{sen}(\omega t - 2\pi/3) + m_3 \text{sen}(3\omega t) \quad (25)$$

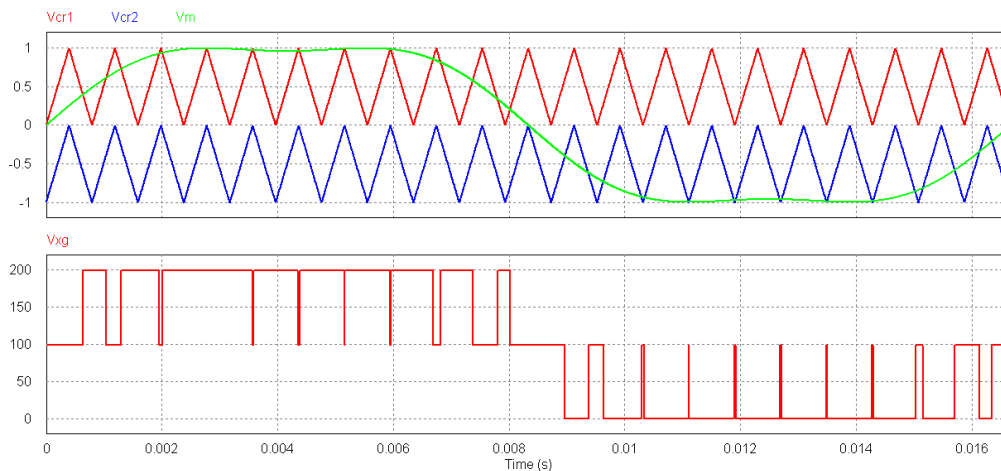
$$v_{c(ref+3)} = m_a \text{sen}(\omega t + 2\pi/3) + m_3 \text{sen}(3\omega t) \quad (26)$$

$$m_3 = \frac{1}{6} m_a \quad (27)$$

Sendo m_3 o índice de modulação para a terceira harmônica.

Isto resulta em uma forma de onda de topo plano e reduz a parcela de sobremodulação, como pode ser visto na Figura 25. Em resumo, com a inclusão do termo de terceiro harmônico de modo comum, a amplitude da componente fundamental da tensão de saída atinge valores mais elevados em relação ao PWM senoidal clássico e ocorre uma diminuição da quantidade de pulsos finos, reduzindo, assim, as perdas por chaveamento (BEZERRA, 2004).

Figura 25 – Formas de onda geradas pela estratégia PDPWM com injeção de terceiro harmônico.



Fonte: Arquivo pessoal

3.4 Controle das tensões dos capacitores flutuantes

Como mencionado anteriormente, no inversor multinível a capacitor flutuante o controle das chaves estáticas e o controle das tensões nos capacitores flutuantes podem ser realizados de forma independente. Neste sentido, vale ressaltar, a importância de se assegurar que as tensões dos capacitores flutuantes estejam suficientemente próximas dos valores de referência visto serem, diretamente, responsáveis pelos níveis intermediários das tensões de saída.

Outros aspectos relevantes, quanto aos capacitores flutuantes, referem-se à necessidade de seu pré-carregamento, antes da partida do inversor, e as limitações quanto à redução dos valores de capacitância utilizados, que contribui para a redução de custos e tamanho do conversor mas que implicarão, conseqüentemente, no incremento das oscilações nos mesmos níveis intermediários de tensão (ABU-RUB et al., 2010) (ZHANG; WATKINS; CHANG, 2006).

Um número considerável de publicações tem abordado a questão do balanceamento das tensão dos capacitores de fase ou flutuantes. De acordo com (THIELEMANS; VYNCKE; MEL-KEBEEK, 2008) e (CHOI; SAEEDIFARD, 2011), as propostas podem ser identificadas segundo a metodologia de controle utilizada, ou seja:

- a) Métodos de controle em malha aberta: Esses métodos são aplicados, principalmente, na modulação por portadora com mudança de fase (PSPWM), a qual tem uma ine-

rente propriedade de auto-balanceamento. No entanto, na prática, devido a desequilíbrios ou perturbações de carga, uma malha de controle externa ou compensação adicional podem tornar-se necessárias para equilibrar as tensões nos capacitores.

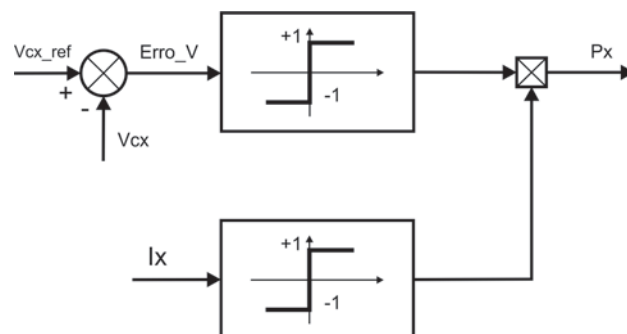
- b) Métodos de controle em malha fechada: O padrão de chaveamento do conversor é modificado, de acordo com alguma estratégia de controle, para manter o equilíbrio e as tensões nos capacitores nos valores de referência pré-determinados. Apesar da diversidade das propostas disponíveis na literatura técnico-científica atual, a maioria dos métodos de malha fechada: (i) tem um impacto negativo sobre as formas de onda do lado CA do conversor FC e, (ii) não são facilmente expansíveis com a quantidade de níveis dos conversores.

As técnicas apresentadas, a seguir, baseiam-se no controle em malha fechada. Basicamente, os ajustes das tensões dos capacitores flutuantes consideram as diferenças entre as tensões de referência e tensões medidas em cada capacitor, bem como a direção da corrente de saída do respectivo braço do inversor. A partir daí, é selecionando o estado apropriado de comutação dentre os estados redundantes disponíveis.

3.4.1 Comparador de dois níveis

Esta técnica de controle é apresentada em (PEIXOTO, 2000), associada ao método de modulação SVPWM, e em (SHUKLA; GHOSH; JOSHI, 2007), associada ao método PDPWM. A Figura 26 mostra o comparador de dois níveis, onde o valor da variável P_x é obtido a partir do erro entre a tensão no capacitor (V_{cx}) e o valor de referência ($V_{cx_ref} = E/2$) e, da direção da corrente de saída (I_x), $x \in [a, b, c]$. Como P_x pode assumir somente os valores 1 (estado O_A) ou -1 (estado O_B), apenas um dos estados é utilizado em um período de modulação.

Figura 26 – Esquema do comparador de 2-níveis.



Fonte: Adaptado de Peixoto (2000)

Nos dois estados, a tensão no capacitor é controlada através da variação dos tempos de aplicação dos estados O_A e O_B . O tempo de aplicação do estado O_x , $x \in [A, B]$, em um período

de modulação por largura de pulso é determinado pela Equação 28, conforme a subseção 3.3.1:

$$\tau_{ox}(k) = T - \tau_{px}(k) - \tau_{nx}(k) \quad (28)$$

O Quadro 8 apresenta as combinações possíveis para as diferenças das tensões e a corrente de saída, relacionadas aos estados a serem aplicados às chaves no inversor, considerando-se os níveis intermediários das tensões de saída. Em um instante particular de tempo, se o erro da tensão no capacitor é positivo e a corrente é positiva, então o capacitor deve ser carregado. Cada vez que uma mudança no nível de tensão, com base na tensão de referência, e na direção da corrente é detectada, uma combinação particular de chaves é escolhida com base no Quadro 5, de modo que possa atender à tensão de saída V_{xg} desejada.

Quadro 8 – Lógica de controle do comparador de 2-níveis

Sinal de Erro	I _x	P _x	Estado
Erro_V < 0	I _x > 0	-1	B
Erro_V < 0	I _x < 0	1	A
Erro_V > 0	I _x > 0	1	A
Erro_V > 0	I _x < 0	-1	B

Fonte: Peixoto (2000)

Assegurando-se que o capacitor será carregado se sua tensão é mais baixa e descarregado se é mais elevada que a tensão de referência, o desvio máximo de tensão no capacitor pode ser calculado como (SHUKLA; GHOSH; JOSHI, 2007):

$$\Delta V_{Cf} = \frac{i_{max} T_{ox}}{C} \quad (29)$$

Onde,

- C - capacitância do capacitor flutuante;
- i_{max} - valor máximo da corrente de fase;
- T_{ox} - intervalo de aplicação de $\tau_{ox}(k)$.

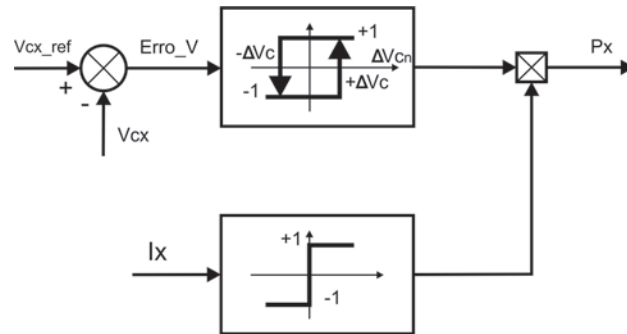
A técnica de controle por comparador de 2-níveis requer que os sinais de tensão e corrente medidos estejam livres de ruídos, o que é praticamente impossível. Em decorrência da presença de ruídos, os sinais medidos podem forçar comutações indesejáveis, comprometendo o controle do balanceamento da tensão dos capacitores flutuantes.

3.4.2 Comparador de três níveis

Neste tipo de controle, o sinal de erro da tensão dos capacitores é submetido a um comparador de histerese, como mostra a Figura 27, onde uma faixa de transição é definida em torno do valor de referência ($\pm \Delta V_C$). Quando o erro atinge o limite superior (inferior), o capacitor relacionado deve ser descarregado (carregado). Se o valor do erro estiver localizado dentro da

faixa de histerese, nenhuma mudança sobre a tensão do capacitor é requerida. Os estados de comutação adequados devem ser selecionados em relação ao carregamento/descarregamento dos capacitores e direção da corrente de saída do respectivo braço, conforme Quadro 9 (ADABI; SOLTANI; ZARE, 2008).

Figura 27 – Esquema do comparador de 3-níveis.



Fonte: Adaptado de Adabi, Soltani e Zare (2008)

Quadro 9 – Lógica de controle do comparador de 3-níveis.

Sinal de Erro	Ix	Px	Estado
$\text{Erro}_V < -\Delta V_C$	$I_x > 0$	-1	B
$\text{Erro}_V < -\Delta V_C$	$I_x < 0$	1	A
$\text{Erro}_V > \Delta V_C$	$I_x > 0$	1	A
$\text{Erro}_V > \Delta V_C$	$I_x < 0$	-1	B
$\Delta V_C < \text{Erro}_V < -\Delta V_C$	-	-	-

Fonte: Adabi, Soltani e Zare (2008)

Para este esquema de controle, o desvio máximo de tensão no capacitor é definido por (SHUKLA; GHOSH; JOSHI, 2007):

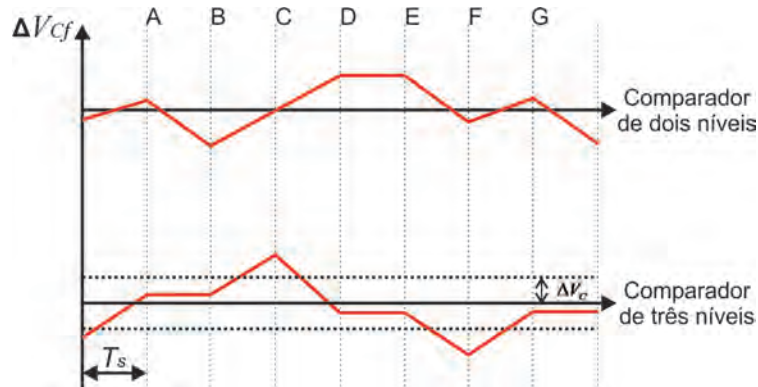
$$\Delta V_{Cf} = \frac{i_{max} T_{ox}}{C} + 2 \times \Delta V_C \quad (30)$$

O desvio máximo, em relação ao desvio calculado em (EQ. 29), será maior. No entanto, ao longo de um período de tempo, a flutuação da tensão do capacitor será menor se comparada com o controle de 2-níveis. Além disto, os efeitos devido à presença de ruídos nos sinais medidos serão minimizados, ou seja, haverá a redução do número de comutações indesejadas entre os estados O_A e O_B . O principal objetivo dessa proposta é controlar a tensão de saída e a tensão dos capacitores sob condições operacionais que envolvam cargas não-lineares e de curto-circuito súbito (SHUKLA; GHOSH; JOSHI, 2007).

A Figura 28 mostra a trajetória da tensão de um capacitor flutuante para os comparadores de dois e três níveis. Para o controle de 2-níveis observa-se que, caso a tensão do capacitor seja um pouco maior que a referência (ex.: A e G), uma nova combinação de chaves é selecionada,

forçando o capacitor a descarregar. Já para o controle de 3-níveis, se a tensão do capacitor estiver dentro da faixa $2 \times \Delta V_C$, uma combinação é escolhida de forma que se mantenha este valor de tensão. É importante observar que a duração dos intervalos entre a comutação de estados depende do valor do capacitor, frequência de chaveamento e valor instantâneo.

Figura 28 – Trajetória da tensão do capacitor flutuante: comparador de 2-níveis e comparador 3-níveis.



Fonte: Adaptado de Shukla, Ghosh e Joshi (2007)

3.4.3 Função de custo

Choi e Saedifard (2011) propõem uma função de custo para minimizar o desequilíbrio de tensão dos capacitores com base nos estados redundantes da combinação de estados das chaves da topologia FC. Comparada aos métodos anteriores, essa proposta não apresenta impacto negativo sobre as formas de onda do lado CA e pode ser aplicada a um conversor FC de n -níveis.

Em um inversor FC de n -níveis com $j = (n - 2)$ capacitores por fase, a função de custo J_x , onde o subscrito x referencia a fase de saída do inversor, é definida como:

$$J_x = \frac{1}{2} \sum_{j=1}^{n-2} C_{jx} (V_{Cjx} - V_{Cjx(nom)})^2, \quad x = a, b, c \quad (31)$$

Onde,

- C_{jx} - valor da capacitância do capacitor flutuante j .
- V_{Cjx} - valor instantâneo de tensão sobre o capacitor j ;
- $V_{Cjx(nom)}$ - tensão de referência do capacitor flutuante j da fase x ;

A função J_x alcança seu valor mínimo (zero) quando as tensões dos capacitores flutuantes são iguais aos valores de referência. Portanto, esta função de custo pode ser usada como

uma base para o balanceamento e controle de tensão dos capacitores. A função de custo total, associada às três fases, é dada por:

$$J = J_a + J_b + J_c = \frac{1}{2} \sum_x \sum_{j=1}^{n-2} C_{jx} (V_{C_{jx}} - V_{C_{jx(nom)}})^2, \quad x = a, b, c \quad (32)$$

Para o conversor de 3-níveis, com $n - 2 = 1$, a função de custo por fase é expressa da forma:

$$J_x = \frac{1}{2} (C_x \Delta V_{C_x}^2), \quad x = a, b, c \quad (33)$$

Onde ΔV_{C_x} é o desvio de tensão do capacitor flutuante de cada fase C_x , $x = a, b, c$. Com base na seleção adequada dos vetores redundantes, a função J_x pode ser minimizada para que a tensão sobre os capacitores seja mantida próxima aos valores de referência, ou seja, $E/2$. A fim de minimizar J_x :

$$\frac{dJ_x}{dt} = C_x \Delta V_{C_x} \frac{dV_{C_x}}{dt} = \Delta V_{C_x} i_{C_x} \leq 0, \quad x = a, b, c \quad (34)$$

Onde i_{C_x} é a corrente através do capacitor C_x , que depende dos estados de comutação selecionados e a contribuição das correntes de fase para i_{C_x} , como mostrado no Quadro 10.

Quadro 10 – Estados de chaveamento e contribuição das correntes do lado CA para as tensões dos capacitores.

Estado	Tipo	SC_x	S_{x1}	S_{x2}	S_{x3}	S_{x4}	V_{xg}	V_{cx}	i_{cx}
P	-	1	1	1	0	0	E	-	-
O	A	0	1	0	1	0	$E - E/2$	Carrega	$i_{C_x} > 0$
	B	0	0	1	0	1	$E/2$	Descarrega	$i_{C_x} > 0$
	A	0	1	0	1	0	$E - E/2$	Descarrega	$i_{C_x} < 0$
	B	0	0	1	0	1	$E/2$	Carrega	$i_{C_x} < 0$
N	-	-1	0	0	1	1	0	-	-

Fonte: Choi e Saeedifard (2011)

Aplicando-se o operador de média sobre um período m de amostragem T_s , a equação (EQ. 34) resulta em:

$$\frac{1}{T_s} \int_{mT_s}^{(m+1)T_s} (\Delta V_{C_x} i_{C_x}) dt \leq 0, \quad x = a, b, c \quad (35)$$

Assumindo que T_s é adequadamente pequeno, as tensões sobre os capacitores podem ser consideradas constantes ao longo de um período de amostragem. Consequentemente:

$$\Delta V_{C_x} \left(\frac{1}{T_s} \int_{mT_s}^{(m+1)T_s} i_{C_x} dt \right) \leq 0 \Rightarrow \Delta V_{C_x}(m) \bar{i}_{C_{jx}}(m) \leq 0, \quad x = a, b, c \quad (36)$$

A variável $\bar{i}_{C_x}(m)$ é o valor médio da corrente no capacitor flutuante de fase C_x . Para calcular $\bar{i}_{C_{jx}}(m)$, a contribuição dos estados de comutação para as correntes no capacitor e sua relação com as correntes do lado CA, são necessárias as correntes i_a , i_b e i_c , apresentadas no Quadro 10. Os valores $\bar{i}_{C_{jx}}(m)$ calculados para os estados de comutação redundantes associados a um vetor de tensão, são substituídos em (EQ. 36) e o vetor de comutação redundante que minimiza a seguinte condição é selecionado:

$$\sum_{x=a,b,c} (\Delta V_{C_x}(m) i_{C_x}(m)) \leq 0 \quad (37)$$

Este controle foi proposto para conversores FC de n -níveis. Porém, no caso específico de um conversor de 3-níveis, esta técnica se assemelha ao comparador de dois níveis, apresentado anteriormente. Isto se deve à presença de apenas um capacitor por fase, conseqüentemente, dois estados redundantes de chaveamento. Melhores resultados poderão ser obtidos em conversores FC com $n \geq 4$ níveis pois, nesses casos, a corrente de saída é usualmente a combinação de duas (ou mais) correntes através dos capacitores de fase.

3.5 Parâmetros de projeto

3.5.1 Cálculo do capacitor flutuante

Em (HAMMA et al., 1995) são discutidos critérios para o projeto dos elementos reativos de um conversor DC-DC multinível. Para especificar o capacitor C_x é necessário determinar o *ripple* de tensão e a corrente eficaz nos capacitores flutuantes, assim como a frequência de operação do conversor.

Em (FAZEL et al., 2007) é descrito o procedimento para o cálculo dos capacitores flutuantes. Esse cálculo é realizado assumindo-se a tensão e corrente de saída senoidais e dessa forma, o valor pode ser aproximado pela equação:

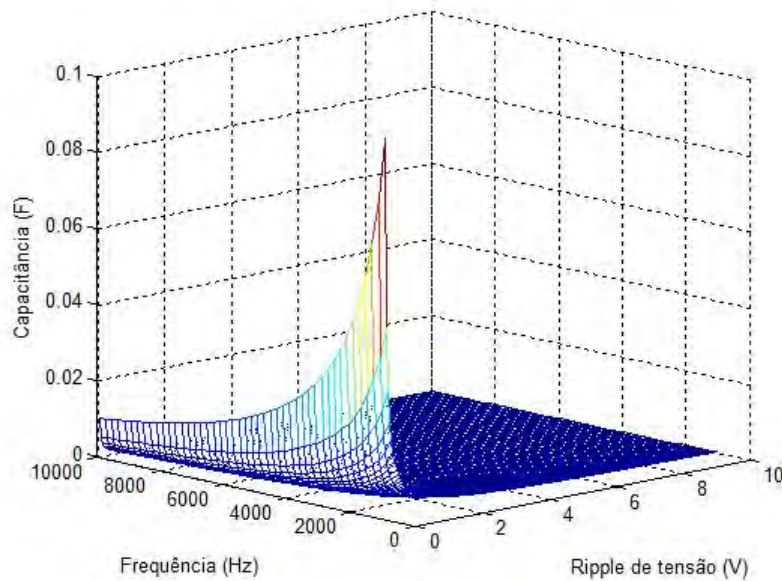
$$C = \frac{i_{x,rms}}{p \times \Delta V_C \times f_{CR}} \quad (38)$$

Onde,

- a) $i_{x,rms}$: amplitude da corrente de fase;
- b) p : número de células de capacitores flutuantes ligadas em série;
- c) ΔV_C : máximo *ripple* no capacitor flutuante;
- d) f_{CR} : frequência da portadora (chaveamento).

No inversor multinível a capacitor flutuante, a corrente de saída é também responsável pela carga/descarga de cada capacitor flutuante e, conseqüentemente, pelas alterações nas tensões dos mesmos. A capacitância necessária aumenta aproximadamente em proporção inversa à frequência de comutação, o que faz com que a topologia FC seja impraticável em frequências muito baixas de comutação, como pode ser visto na Figura 29 (ABU-RUB et al., 2010).

Figura 29 – Relação entre os parâmetros C , f_C e ΔV_C .



Fonte: Arquivo pessoal

3.5.2 Frequência de chaveamento

A frequência de chaveamento de um inversor PWM para o acionamento de motores CA é determinada com base na minimização da perda total do conversor e do motor. As perdas do conversor têm duas componentes: perdas por comutação, que aumentam com a frequência, e perdas por condução. A perda total também depende do tipo de algoritmo PWM, se a operação envolve *snubbers* e, se esse, é dissipativo ou regenerativo. Já as perdas da máquina CA têm duas componentes principais: perdas no cobre (que incluem a perda harmônica no cobre) e perdas no ferro (que incluem a perda harmônica no ferro). Com base na observação anterior, tem-se que (BOSE, 2006):

- Acionamentos de baixa potência usam chaves estáticas mais rápidas, com baixas perdas por comutação. Portanto, frequências de comutação mais altas podem ser usadas. A minimização de ruído acústico pode ser outra motivação para a seleção de frequências de comutação mais elevadas.
- Pela mesma razão, acionamentos de alta potência usam chaves estáticas mais lentas, que têm maiores perdas de comutação. Nesse caso, valores mais baixos para a frequência de comutação podem ser necessários.
- Em dispositivos como o IGBT (*insulated gate bipolar transistor*) e o IGCT (*integrated gate controlled thyristor*) as perdas por comutação são inferiores aos de um GTO (*gate turn-off thyristor*), o que torna possível utilizar frequências mais elevadas nos primeiros dispositivos.

Além disto, segundo Abu-Rub et al. (2010), a ampla utilização de altas frequências de chaveamento, e as conseqüentes transições muito rápidas de corrente e tensão, leva a vários problemas graves, como a geração de corrente de modo comum (CM), interferência eletromagnética (*electromagnetic interference* - EMI) e a deterioração do isolamento do motor e transformador. A distribuição das perdas nos semicondutores é outra questão, pois as perdas no dispositivo sob maior *stress* limitam a frequência de comutação e a potência de saída.

Em função da rápida evolução da eletrônica de potência e dos dispositivos digitais programáveis, essa frequência atualmente atinge valores da ordem de 20 kHz. Estudos indicam que a dependência do tempo de vida útil do isolamento dos motores em função da frequência de chaveamento não é uma relação simples, porém, experiências realizadas nesse sentido mostram dados interessantes. Para frequências de chaveamento ≤ 5 kHz a probabilidade de falha do isolamento é diretamente proporcional à frequência de chaveamento ao passo que, para frequências de chaveamento > 5 kHz, a probabilidade de falha do isolamento é diretamente proporcional ao quadrado da frequência de chaveamento (WEG, 2012).

O aumento da frequência de chaveamento pode também ocasionar danos aos rolamentos, uma vez que as tensões e correntes de modo comum tendem a aumentar. Devido às capacitâncias parasitas do motor para a terra, a corrente tenderá a fluir para o terra através dessas, atravessando rotor, eixo e mancal para a tampa aterrada. Por outro lado, o aumento da frequência de chaveamento melhora o espectro de frequência da tensão aplicada ao motor, tendendo, dessa forma, a melhorar o desempenho do motor em termos de temperatura e ruído.

Para a seleção da frequência de chaveamento neste trabalho, dois fatores foram considerados:

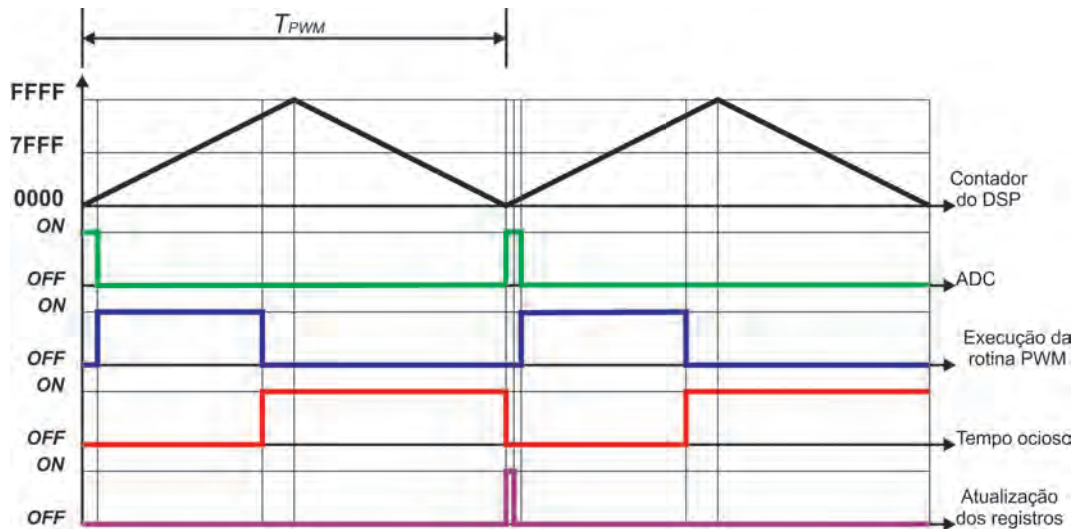
- a) A máxima frequência suportada pela parte de potência, que compreende os *drivers* e módulos IGBTs. De acordo com (SEMIKRON, 2006), a frequência de operação do *driver* SKHI 23/12 está limitada em 20 kHz;
- b) A capacidade de processamento do microcontrolador utilizado para a implementação dos algoritmos de controle. O tempo para a(s) conversão(ões) analógico-digital (T_{ADC}), somado ao tempo necessário para o cálculo do algoritmo PWM (T_{R_PWM}) e atualização dos registros (T_{REG}), responsáveis pela geração dos pulsos destinados aos comando dos IGBTs, deve ser inferior ao período de PWM (T_{PWM}) definido como o inverso da frequência de comutação.

A Figura 30 mostra um exemplo hipotético da sequência de ações a serem executadas no DSP. Nota-se que esta sequência de operações são sincronizadas com o contador do DSP, inicializando quando o mesmo é igual a zero.

Como o tempo necessário para a conversão de cada canal do ADC e atualização dos registros são fixos, dependendo do algoritmo implementado, a frequência de PWM deverá ter o seu valor reduzido a fim de atender a Equação 39.

$$T_{PWM} \geq T_{ADC} + T_{R_PWM} + T_{REG} \quad (39)$$

Figura 30 – Representação para um período PWM simétrico.



Fonte: Elaborado pelo autor

3.6 Distorção harmônica

3.6.1 Definições básicas

A fim de validar os métodos PWM e topologias de conversores de potência, vários índices de desempenho são definidos a partir da análise espectral dos sinais de tensão e corrente, da saída e/ou entrada dos sistemas. Essas análises para um conversor CC/CA são realizadas a partir da Série de Fourier ou Transformada de Fourier, onde qualquer função periódica pode ser representada por um valor constante e uma série ponderada infinita de funções seno e cosseno, de frequências múltiplas (pares e ímpares) da frequência fundamental (NEACSU, 2006).

Na análise espectral, as componentes harmônicas são tensões ou correntes com frequências múltiplas inteiras da frequência fundamental, ou seja, a frequência em que opera o sistema. Já as inter-harmônicas, conforme o padrão IEC 61000-2-1, são componentes com frequências múltiplas não-inteiras da frequência fundamental que podem aparecer como frequências discretas ou como um amplo espectro de banda. Todas essas componentes, somadas à fundamental, resultam em distorção harmônica do sinal de saída. No caso de inversores, a distorção harmônica ocorre, principalmente, devido a não-linearidade dos componentes eletrônicos de potência. A análise da distorção deve ser realizada através de um número inteiro de ciclos, em regime de operação estacionário ou quase-estacionário, quando na presença de ruídos de chaveamento. O Quadro 11 apresenta as definições matemáticas citadas (HANZELKA; BIEN, 2004).

Existem dois mecanismos básicos para a geração de inter-harmônicas. O primeiro é a geração de componentes nas bandas laterais da frequência da fonte de alimentação e as suas harmônicas como um resultado de alterações nas suas magnitudes e/ou ângulos de fase. São causadas por mudanças rápidas nas correntes em equipamentos e instalações ou, também, a par-

tir de flutuações de tensão. As perturbações são, usualmente, geradas por cargas que operam em estado transitório, quer contínua ou temporariamente, ou, em muitos casos, quando ocorre uma modulação de amplitude das correntes e tensões. Estas perturbações são de natureza aleatória, em função das mudanças de carga inerentes aos processos e equipamentos em uso.

Quadro 11 – Componentes do espectro da forma de onda.

Frequência Fundamental	f_1 (harmônica principal)
Componente Harmônica	$f = nf_1$, onde n é um inteiro maior que zero
Componente CC	$f = nf_1$ para $n = 0$
Inter-harmônica	$f \neq nf_1$, onde n é um inteiro maior que zero
Subharmônica	$f > 0$ e $f < f_1$

Fonte: Hanzelka e Bien (2004)

O segundo mecanismo é o chaveamento assíncrono (ou seja, não sincronizado com a frequência do sistema de alimentação) de dispositivos semicondutores em conversores estáticos. Exemplos típicos são ciclo-conversores e conversores PWM. As inter-harmônicas geradas podem estar localizadas em qualquer parte do espectro em relação aos harmônicos da fonte de alimentação.

As componentes harmônicas podem ser de ordem par ou ímpar. As componentes harmônicas de ordem par surgem, normalmente, nos sistemas de potência e com cargas não-lineares, em níveis significativos na presença de um sinal assimétrico, devido ao aparecimento de uma componente contínua. Já as componentes harmônicas de ordem ímpar surgem quando se está na presença de sinais com simetria de meia-onda (GONÇALVES, 2008).

3.6.2 Interação entre o inversor e o motor

O motor de indução submetido a uma tensão sintetizada a partir da modulação PWM, proveniente de um inversor, estará sujeito à presença de componentes harmônicas. Segundo Pomilio (2011):

O maior efeito dos harmônicos em máquinas rotativas (indução e síncrona) é o aumento do aquecimento devido ao aumento das perdas no ferro e no cobre. Afeta-se, assim, sua eficiência e o torque disponível. Além disso, tem-se um possível aumento do ruído audível, quando comparado com alimentação senoidal.

Outro fenômeno é a presença de harmônicos no fluxo, produzindo alterações no acionamento, como componentes de torque que atuam no sentido oposto ao da fundamental, como ocorre com a 5^a, 7^a, 11^a, 17^a etc. harmônicos. Isto significa que tanto o quinto componente, quanto o sétimo induzem uma sexta harmônica no rotor. O mesmo ocorre com outros pares de componentes.

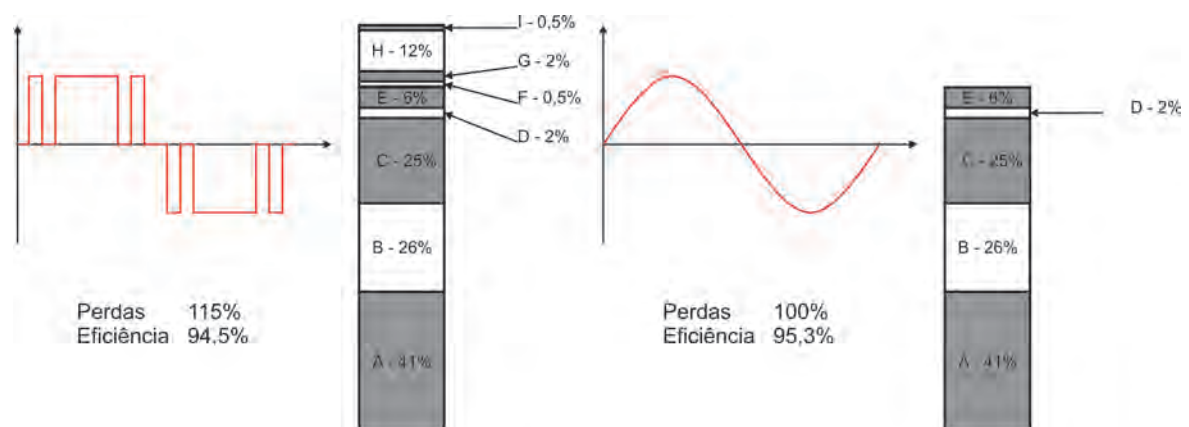
O sobre-aquecimento que pode ser tolerado depende do tipo de rotor utilizado. Rotores bobinados são mais seriamente afetados do que os de gaiola. Os de gaiola profunda, por causa do efeito pelicular que conduz à condução da corrente para a superfície do condutor em frequências elevadas, produzem maior elevação de temperatura do que os de gaiola convencional.

O efeito cumulativo do aumento das perdas reflete-se numa diminuição da eficiência e da vida útil da máquina. A redução na eficiência é indicada na literatura como de 5 a 10% dos valores obtidos com uma alimentação senoidal. Este fato não se aplica a máquinas projetadas para alimentação a partir de inversores, mas apenas àquelas de uso em alimentação direta da rede.

O uso de capacitores tem uma influência significativa sobre os níveis das componentes harmônicas. Capacitores não geram harmônicas, mas oferecem *loops* de rede para possíveis condições de ressonância (excitadas pelas harmônicas), podendo produzir níveis excessivos de corrente e/ou de tensão. Além disso, como a reatância capacitiva diminui com a frequência, tem-se um aumento nas correntes relativas às harmônicas presentes na tensão. As correntes de alta frequência, que encontrarão um caminho de menor impedância pelos capacitores, elevarão as suas perdas ôhmicas. O efeito das componentes harmônicas sobre os capacitor resulta em um aquecimento adicional e maior *stress* do dielétrico, reduzindo a vida útil do capacitor (WAGNER et al., 1993).

Não existe normalização quanto aos valores limites de distorção harmônica dos sinais de tensão e corrente gerados pelo conversor CC/CA. No entanto, as normas estabelecidas pelo IEC (*International Electrotechnical Commission*) e NEMA (*National Electrical Manufacturers Association*) consideram o aumento de perdas do motor devido ao uso de inversor. A norma IEC 6003417 exemplifica o aumento das perdas do motor devido ao uso de inversores com o caso prático de um motor carcaça 315, com valores nominais de torque e velocidade. A Figura 31 ilustra a eficiência e as perdas do motor quando alimentado por uma tensão senoidal pura e por uma tensão sintetizada por um inversor, com frequência de chaveamento de 3 kHz. A nomenclatura adotada na Figura 31 é apresentada no Quadro 12 (WEG, 2012).

Figura 31 – Perdas causadas pela frequência fundamental e pelas componentes harmônicas.



Fonte: Adaptado de WEG (2012)

Segundo (WEG, 2012), para reduzir as harmônicas geradas por um inversor, basicamente, existem as seguintes soluções apresentadas no Quadro 13.

Quadro 12 – Componentes das perdas.

Pela frequência fundamental		Pelas componentes harmônicas	
Componente	Perda	Componente	Perda
A	Perdas Joule no estator	F	Perdas Joule no estator
B	Perdas Joule no rotor	G	Perdas Joule no rotor
C	Perdas no ferro	H	Perdas no ferro
D	Perdas suplementares	I	Perdas suplementares
E	Perdas por atrito	J	Perdas de comutação

Fonte: WEG (2012)

Quadro 13 – Métodos empregados na redução da distorção harmônica.

Método	Características da solução
Instalação de filtros passivos de saída (L, LC (senoidal), dV/dt)	Aumento do custo da instalação
	Restrições para operação no modo vetorial
	Queda de tensão (redução da potência do motor)
Utilização de inversor com mais níveis	Aumento de custos
	Redução da confiabilidade do inversor
	Aumento da complexidade do controle
Melhoria na qualidade da modulação PWM	Não aumenta os custos
	Melhoria no controle de tensão
	Maior rendimento do conjunto motor-inversor
Aumento da frequência de chaveamento	Redução do rendimento do inversor
	Aumento das correntes de fuga para o terra

Fonte: WEG (2012)

3.6.3 Desempenho de um inversor trifásico

Um dos critérios de desempenho mais comumente utilizado na avaliação de um inversor refere-se ao conteúdo dos componentes harmônicos da tensão de saída. Usualmente, segundo a literatura técnico-científica, a qualidade de um inversor é avaliada em função dos seguintes parâmetros de desempenho:

- a) Distorção Harmônica Total (THD) - é a medida da proximidade da forma de onda em relação à sua componente fundamental. Segundo a norma IEEE 519, representa a relação entre os valores eficazes da componente fundamental e das componentes harmônicas.

$$THD = \left(\frac{1}{V_1} \sqrt{\sum_{n_h=2,3,\dots}^{\infty} V_{n_h}^2} \right) \times 100\% \quad (40)$$

- b) Fator de Distorção (DF) - indica a quantidade de distorção harmônica que resta em uma forma de onda particular, após os harmônicos daquela forma de onda terem sido

submetidos a uma atenuação de segunda ordem, isto é, divididos por n_h^2 .

$$DF = \left(\frac{1}{V_1} \sqrt{\sum_{n_h=2,3,\dots}^{\infty} \left(\frac{V_{n_h}}{n_h^2} \right)^2} \right) \times 100\% \quad (41)$$

$$n_h = \frac{f_h}{f_1} \quad (42)$$

Onde,

- V_1 : amplitude da componente fundamental.
- V_{n_h} : componentes harmônicas.
- n_h : ordem harmônica, ou seja, razão entre a componente harmônica e a frequência fundamental.

O recurso mais comumente utilizado para a avaliação e análise dos inversores baseia-se no espectro de amplitude dos sinais através da Transformada Discreta de Fourier, utilizando o algoritmo da Transformada Rápida de Fourier (*Fast Fourier Transform* - FFT). A análise espectral de Fourier possibilita decompor um sinal em seus componentes harmônicos, mostrando a distribuição da amplitude em função da ordem harmônica.

3.7 Conclusão

Neste capítulo, foram apresentadas as principais características do inversor multinível a capacitor flutuante, assim como o seu princípio de funcionamento. O emprego dessa topologia apresenta um bom desempenho na sintetização de sinais senoidais aliado à facilidade de controle dos níveis intermediários das tensões de saída. Desta forma, constitui uma alternativa interessante para aplicações nas áreas de acionamentos elétricos, qualidade de energia em sistemas elétricos de potência e fontes de alimentação eletrônicas.

Foram descritas as estratégias de modulação de largura de pulsos por vetor espacial (SVPWM) e a modulação baseada em portadoras triangulares, mais especificamente, os esquemas PDPWM e PDPWM com Injeção de Harmônicos, aplicados aos inversores de potência.

No inversor multinível a capacitor flutuante, uma das questões mais importantes é o controle do balanceamento da tensão do capacitor flutuante. O desbalanceamento desta tensão gera distorção da tensão de saída e da corrente de carga. Desta forma, procurou-se abordar os desenvolvimentos recentes visando à melhoria do desempenho das topologias multiníveis frente a distorção harmônica e redução das perdas de chaveamento.

Por fim, foram abordados alguns dos efeitos da distorção harmônica sobre as máquinas de indução e os critérios de desempenho que serão utilizados para a avaliação dos métodos PWM e técnicas de controle das tensões dos capacitores flutuantes do inversor FC 3-níveis.

4 RESULTADOS DE SIMULAÇÕES

4.1 Introdução

Neste capítulo serão apresentados os resultados de simulação obtidos sobre o inversor multinível a capacitor flutuante, em ambiente MATLAB. Inicialmente, o método SVPWM é avaliado utilizando-se cada um dos comparadores mencionados na seção 3.4. A seguir, são apresentados os resultados do método PDPWM utilizando-se o controle com comparador de 2-níveis e a injeção de terceira harmônica. Os algoritmos implementados não incluíram restrições de tempo mínimo de condução e bloqueio das chaves estáticas na modelagem do inversor multinível a capacitor flutuante.

O desempenho dos algoritmos é avaliado, principalmente, em relação ao conteúdo harmônico da tensão e corrente de saída. Para essa análise, foi utilizada a Transformada Rápida de Fourier (*Fast Fourier Transform* - FFT), disponível no bloco *Powergui*, do *toolbox* MATLAB-Simulink e apresentada no Apêndice A. Essa ferramenta dispõe de uma interface gráfica (*graphical user interface* - GUI) que permite realizar a análise de sinais, armazenados como vetores de dados, através do seu espectro de frequência e do cálculo da taxa de distorção harmônica total (THD). É importante ressaltar que as simulações foram feitas em linguagem *script* do MATLAB e os dados gerados foram, posteriormente, transferidos para o ambiente Simulink para a realização da análise de Fourier.

As chaves estáticas são consideradas ideais e os parâmetros da máquina de indução foram obtidos a partir de (AKIN; GARG, 2010) e estão disponíveis no Anexo C. Outros parâmetros, de interesse, são indicados a seguir:

- a) $E = 200$ V (Tensão do barramento CC);
- b) $F_{PWM} = 4,8$ kHz (Frequência PWM);
- c) $C = 470$ μ F (Capacitância dos capacitores flutuantes);
- d) $m = 0,5$ (índice de modulação).

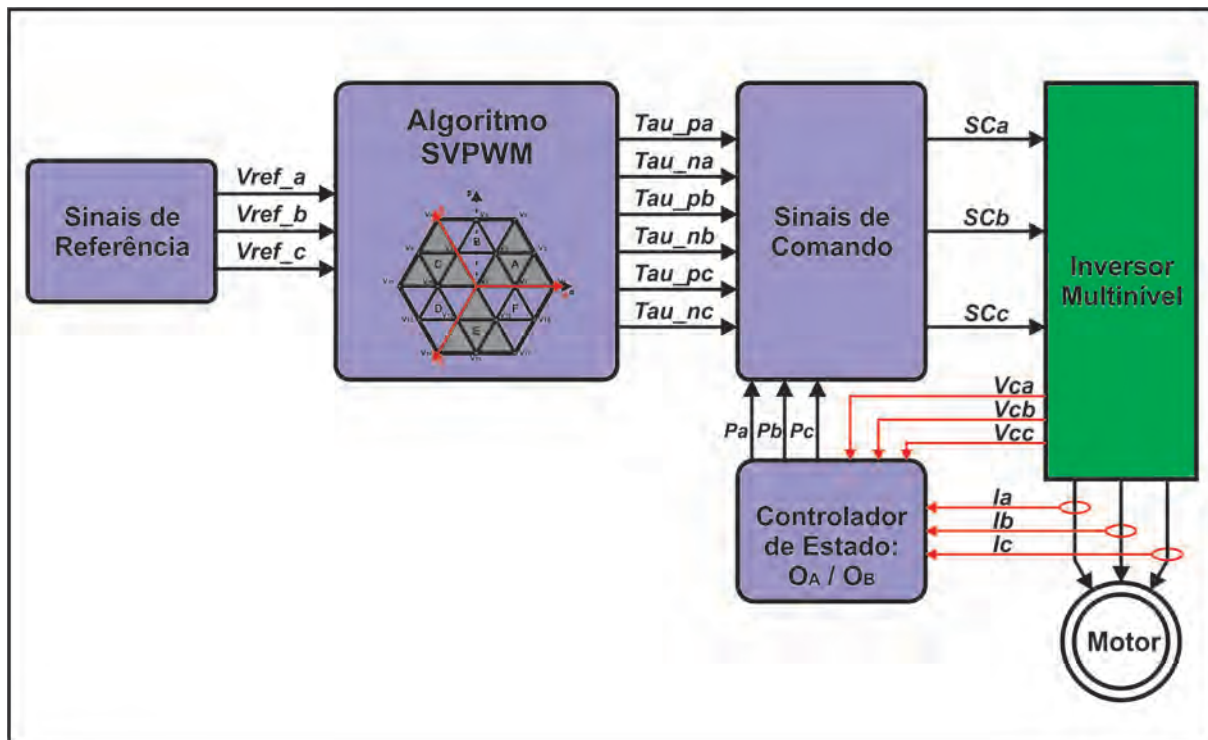
4.2 Modulação SVPWM

O diagrama de blocos mostrado na Figura 32 apresenta a estrutura do código implementado em linguagem *script* no MATLAB. O bloco Sinais de Referência consiste de um gerador de sinais trifásico senoidal, cujos valores são amostrados uma vez, a cada período de modulação ou chaveamento (T_{PWM}). A partir dos valores amostrados, o algoritmo SVPWM apresentado na subseção 3.3.1, realiza os cálculos dos tempos de aplicação dos estados τ_{px} e τ_{nx} , sendo $x \in [a, b, c]$.

Na sequência, os tempos calculados são utilizados para gerar os sinais de comando de cada braço do inversor multinível. Nessa etapa, o bloco Sinais de Comando recebe informações do bloco Controlador de Estado para determinar entre a aplicação do estado O_A ou O_B a cada

período de modulação, se aplicável. Esta decisão é tomada com base nos valores medidos das correntes de fase e das tensões sobre os capacitores flutuantes, para cada um dos braços do inversor. Vale observar a independência entre a estratégia de modulação e a técnica de controle de tensão dos capacitores, intrínseca à topologia do inversor a capacitor flutuante.

Figura 32 – Diagrama de blocos da estratégia SVPWM



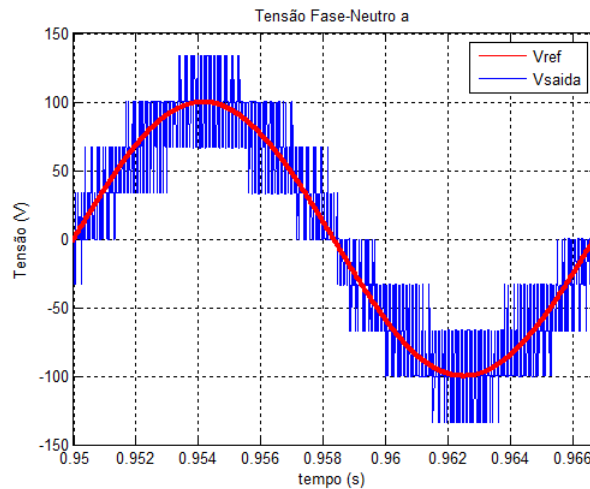
Fonte: Elaborado pelo autor

Destaca-se que os sinais de comando são gerados de forma simétrica. Assim, o padrão de chaveamento é espelhado a cada meio período T_{PWM} , conforme Figura 21. Como resultado, obtém-se um número menor de comutações e perdas por chaveamento. No entanto, isso limita a aplicação de apenas um estado O durante o período de modulação. Estes tempos de aplicação do estado τ_{ox} não são calculados pelo algoritmo SVPWM, sendo obtidos a partir da Equação 28, implementada no bloco Sinais de Comando.

A Figura 33 mostra a forma de onda da tensão fase-neutro V_{an} , para um índice de modulação $m = 0,5$ (valor calculado a partir da Equação 12). Pode-se observar a presença de nove diferentes níveis de tensão para a sintetização do sinal senoidal de referência. Para um inversor 3-níveis, a tensão fase-neutro pode assumir os valores $V_{xn} = [-2E/3, -E/6, -E/3, -E/2, 0, E/6, E/3, E/2, 2E/3]$.

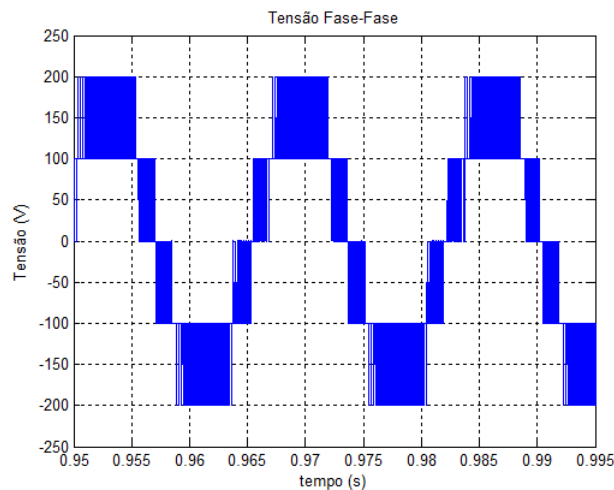
A Figura 34 apresenta a forma de onda da tensão fase-fase V_{ab} , com destaque para os três níveis de tensão $V_{ab} = E, E/2$ e $0V$ obtidos a partir da aplicação dos estados de chaveamento, conforme o Quadro 5.

Figura 33 – Tensão fase-neutro V_{an} (SVPWM)



Fonte: Arquivo pessoal

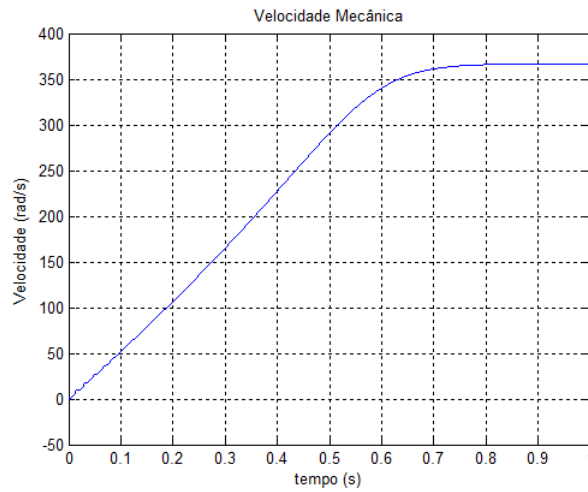
Figura 34 – Tensão fase-fase V_{ab} (SVPWM)



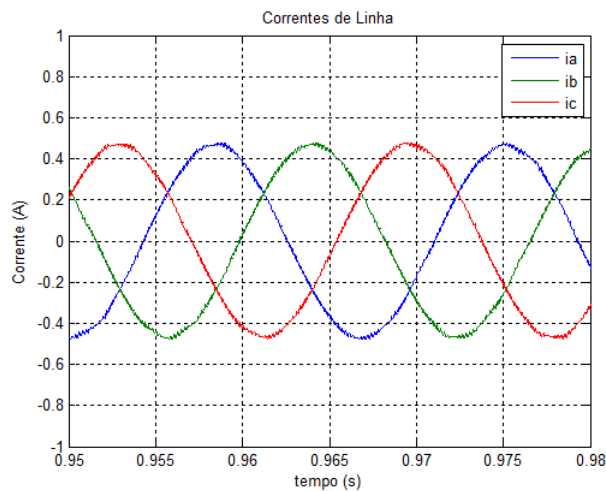
Fonte: Arquivo pessoal

A Figura 35 mostra a forma de onda da velocidade mecânica do motor de indução, sendo considerando o conjugado de carga igual a zero. Nota-se que em condições nominais de excitação, a máquina atinge o regime permanente, para uma velocidade nominal de 367 rad/s, em torno de 0,8s. A análise de Fourier das formas de onda das tensões fase-neutro e correntes de fase é realizada considerando-se a operação em regime estacionário.

Na Figura 36 são mostradas as formas de onda das correntes de fase obtidas a partir de sinais de referência trifásicos, com frequência fundamental igual a 60 Hz. Observa-se a presença de oscilações, em alta frequência e de pequena amplitude, decorrentes das comutações das chaves do inversor.

Figura 35 – Velocidade mecânica (SVPWM)

Fonte: Arquivo pessoal

Figura 36 – Correntes de linha (SVPWM)

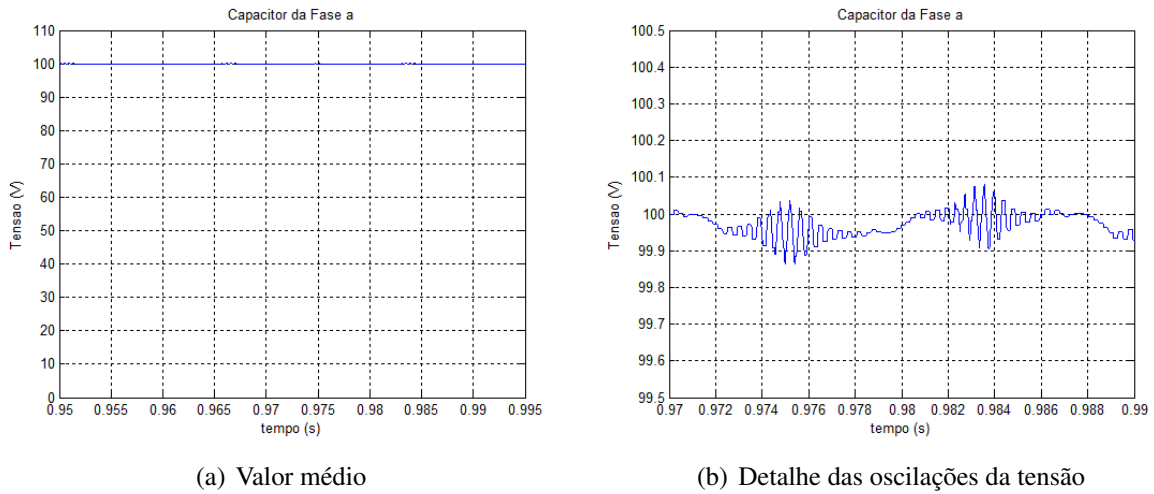
Fonte: Arquivo pessoal

4.3 Controle das tensões dos capacitores flutuantes

4.3.1 Comparador de dois níveis

Inicialmente, deve-se definir o nível da tensão de referência a ser utilizado na comparação. No caso do inversor a 3-níveis, adota-se $V_{cx_ref} = E/2$, $x \in [a, b, c]$. A Figura 37 mostra a tensão do capacitor da fase a , cujo valor médio é igual a $E/2$. Nota-se na Figura 37(b) a presença de oscilações em torno do valor médio da tensão, decorrentes da aplicação alternada dos estados O_A e O_B , conforme já explicado na seção 3.2 e apresentado no Quadro 8.

Figura 37 – Tensão sobre o capacitor da fase a (SVPWM / Comparador de 2-níveis)



Fonte: Arquivo pessoal

Com base nos parâmetros adotados nas simulações, é possível determinar o desvio máximo de tensão durante o processo de carga e descarga dos capacitores flutuantes. Aplicando-se a Equação 29, obtém-se:

$$\begin{aligned}
 \Delta V_{Cf} &= \frac{i_{max} T_{ox}}{C} \\
 &= \frac{0,47 \times 208,33 \times 10^{-6}}{470 \times 10^{-6}} \\
 &= 0,208V
 \end{aligned} \tag{43}$$

Esse resultado é razoavelmente próximo à amplitude máxima das oscilações mostradas na Figura 37(b), onde a tensão apresenta um desvio $\Delta V_{Cf} \approx \pm 0,15V$.

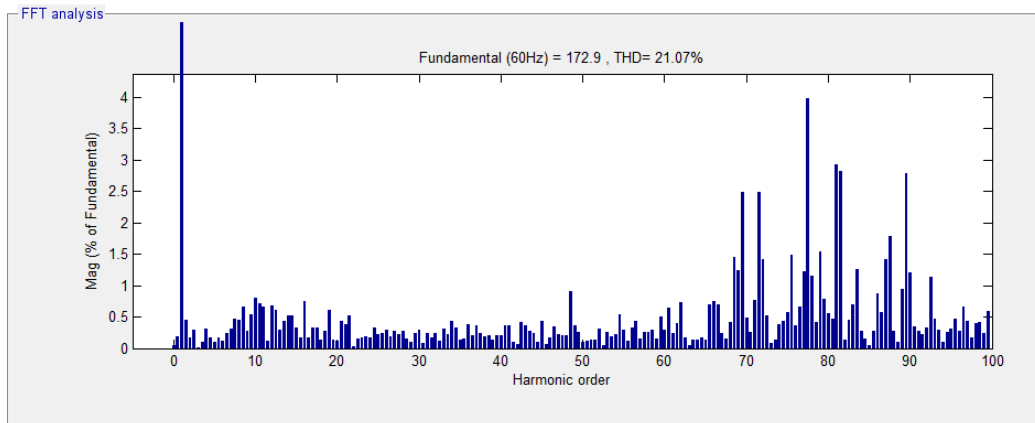
Para análise espectral da tensão fase-fase V_{ab} e da corrente de linha I_a , foram considerados os sinais a partir do instante 0,8s, quando a máquina de indução atinge o estado estacionário. Na Figura 38 são mostrados a amplitude da componente fundamental ($V_1 = 172,9V$) para uma frequência de 60 Hz, o valor da distorção harmônica total da tensão ($THD_V = 21,07\%$) e as demais componentes harmônicas (incluindo inter-harmônicas e subarmônicas) até a ordem 100, da tensão V_{ab} . Pode-se notar que, para a tensão de saída de um inversor trifásico, as componentes harmônicas ímpares múltiplas de três (3^a , 9^a e 15^a) são praticamente desprezíveis, com amplitudes inferiores à 0,4% da componente fundamental (V_1).

A Figura 39 apresenta o espectro de frequência da corrente de linha I_a . A amplitude da componente fundamental é igual a 0,469A e o valor da distorção harmônica total é de 0,99%. As demais componentes harmônicas possuem amplitudes inferiores 0,8% da componente fundamental.

Para este trabalho, com $m_f = 80$ (valor calculado a partir da Equação 23), a energia harmônica significativa está concentrada próxima da 80^a componente harmônica, como pode

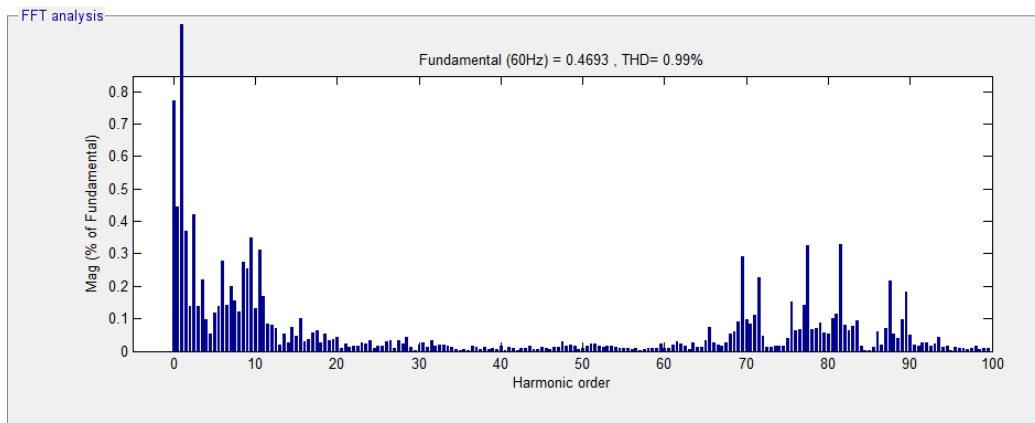
ser evidenciado nas Figuras 38 e 39. Os demais resultados da análise do conteúdo harmônico dos sinais de tensão e corrente, a serem apresentados na sequência, irão mostrar as componentes harmônicas até ordem 20, por se tratar da faixa com efeitos significativos sobre a máquina de indução.

Figura 38 – Espectro harmônico da tensão V_{ab} (SVPWM / Comparador de 2-níveis)



Fonte: Arquivo pessoal

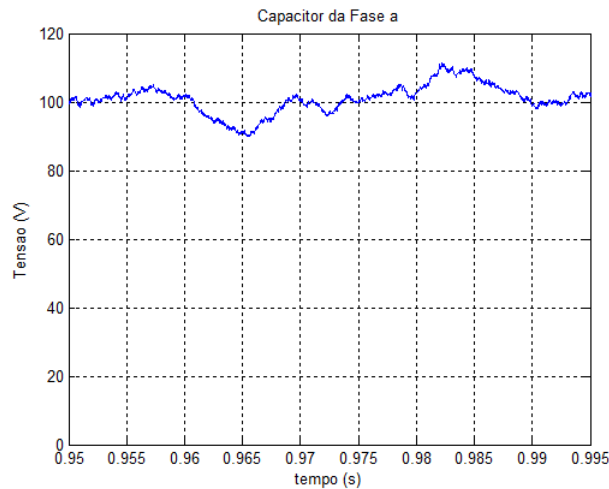
Figura 39 – Espectro harmônico da corrente I_a (SVPWM / Comparador de 2-níveis)



Fonte: Arquivo pessoal

As formas de onda apresentadas, anteriormente, pressupõem que os sinais medidos estão livres de ruídos, inerentes à comutação das chaves e à interferência eletromagnética. Os ruídos, presentes nos sinais realimentados para o controle, podem forçar comutações indesejáveis, que levam ao desbalanceamento das tensões dos capacitores flutuantes, conforme mostra a Figura 40, e conseqüentemente, ao aumento da distorção nos sinais de saída. Os resultados, a seguir, consideram a adição de ruídos de medição de amplitude aproximadamente 5% do valor médio da tensão sobre os capacitores flutuantes.

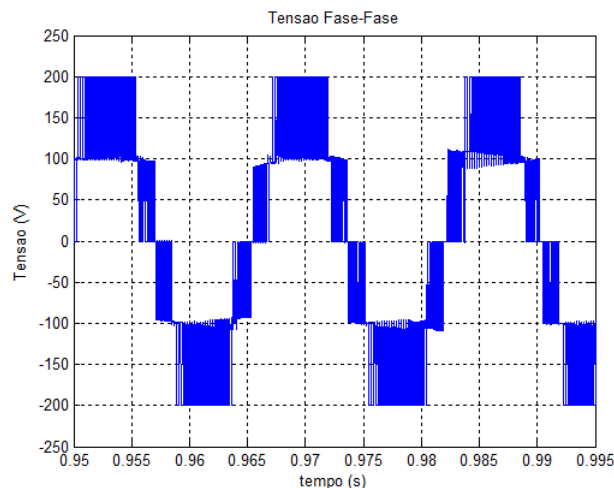
Figura 40 – Tensão sobre o capacitor da fase a (controle de 2-níveis e inclusão de ruídos)



Fonte: Arquivo pessoal

Conforme a Figura 40, o desvio máximo de tensão sobre os capacitores flutuantes, sob as condições simuladas, situa-se em $\Delta V_{Cf} = \pm 10$ V aproximadamente. O desbalanceamento das tensões sobre os capacitores implicará em distorções nas tensões trifásicas aplicadas na alimentação da máquina de indução e, conseqüentemente, nas correntes de estator resultantes. As formas de ondas mostradas nas Figuras 41 e 42 evidenciam esse problema. Na forma de onda da tensão fase-fase de estator V_{ab} , os valores pré-definidos para os níveis de tensão intermediários não se mantiveram constantes, apresentando variações aleatórias e a perda de simetria do sinal senoidal sintetizado.

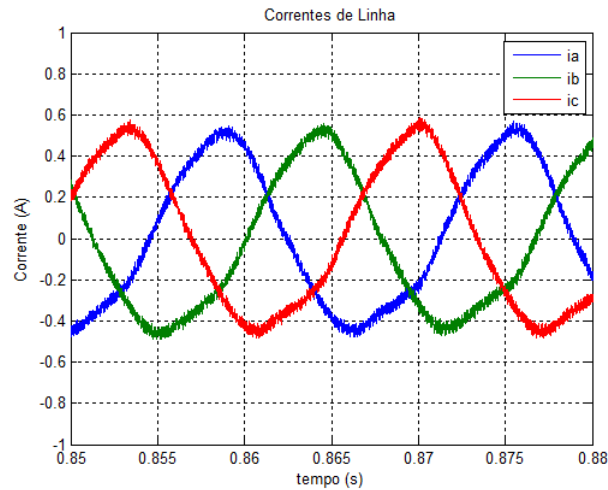
Figura 41 – Tensão fase-fase V_{ab} (com desbalanceamento da tensão V_{cx})



Fonte: Arquivo pessoal

Em decorrência, as correntes de saída do inversor apresentam uma forte deformação além da presença de uma componente CC (*offset*), somada aos sinais.

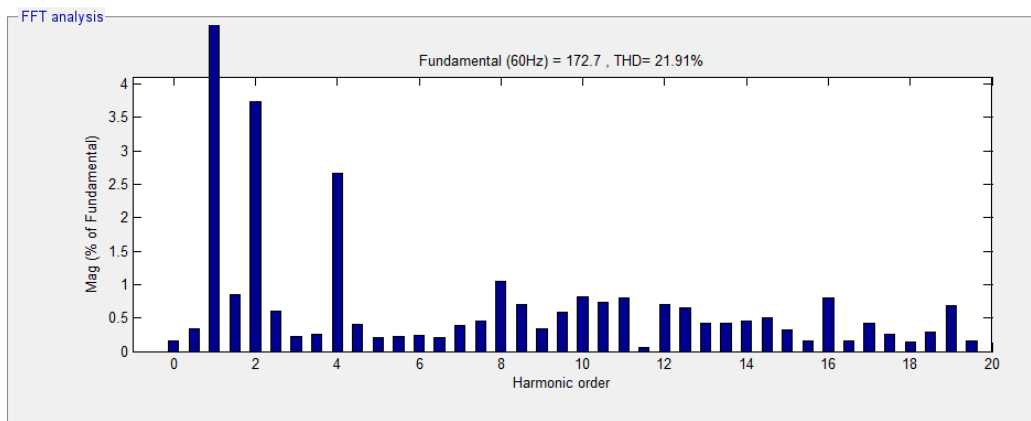
Figura 42 – Correntes de linha (com desbalanceamento da tensão V_{cx})



Fonte: Arquivo pessoal

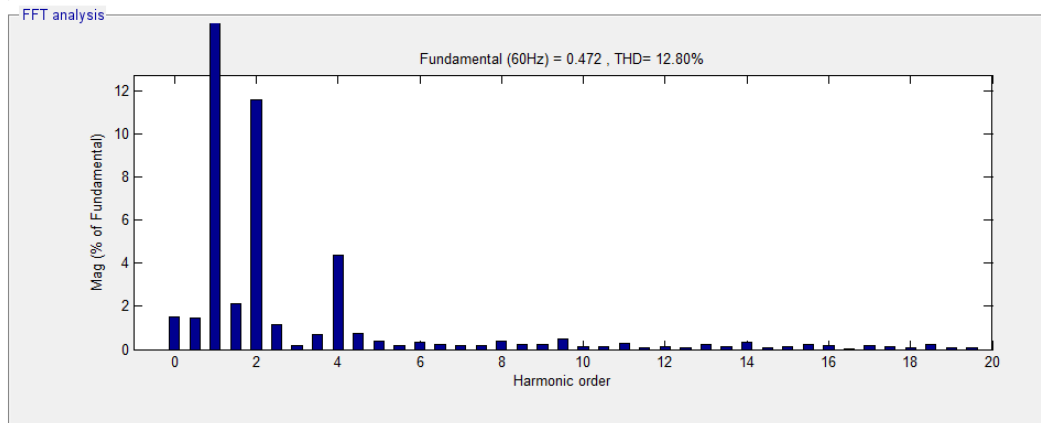
As Figuras 43 e 44 mostram os novos valores de THD desses sinais na presença de ruído. Para a forma de onda da tensão V_{an} há um aumento da amplitude das componentes de 2ª, 4ª e 8ª ordem, resultando em uma taxa $THD_V = 21,91\%$. Enquanto que para a forma de onda de corrente I_a , existe um aumento significativo das componentes de 2ª e 4ª ordem, além das amplitudes das sub-harmônicas e inter-harmônicas. O índice de distorção, considerando-se a inclusão de ruídos de medição, é aproximadamente 12 vezes maior que nas simulações mostradas na Figura 39 ou seja, $THD_I = 12,80\%$.

Figura 43 – Espectro harmônico da tensão V_{ab} (com desbalanceamento da tensão V_{cx}).



Fonte: Arquivo pessoal

Figura 44 – Espectro harmônico da corrente I_a (com desbalanceamento da tensão V_{cx}).

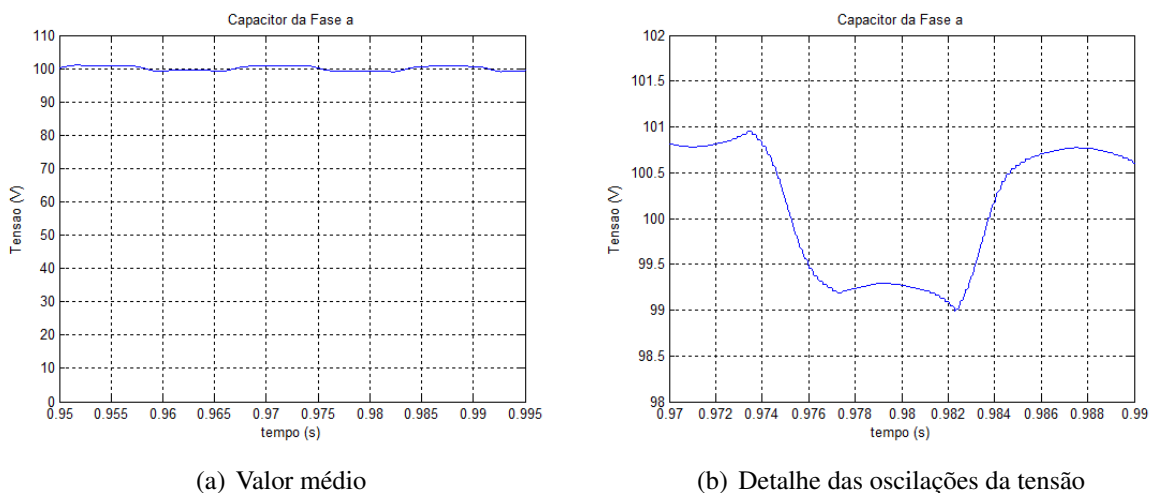


Fonte: Arquivo pessoal

4.3.2 Comparador de três níveis

Neste tipo de comparador, uma faixa de tensão ou histerese é definida em torno do valor de referência das tensões dos capacitores flutuantes, de forma a situar os limites de comparação acima da amplitude máxima dos ruídos presentes nos sinais de medição. Para esta simulação, foi escolhido um $\Delta V_C = \pm 1V$. A forma de onda da tensão sobre o capacitor da fase a é mostrada na Figura 45. Conforme mencionado na subseção 3.4.2, o desvio máximo de tensão será maior quando comparado ao controle com comparador de 2-níveis, conforme Figura 45(b).

Figura 45 – Tensão sobre o capacitor da fase a (SVPWM / Comparador de 3-níveis)

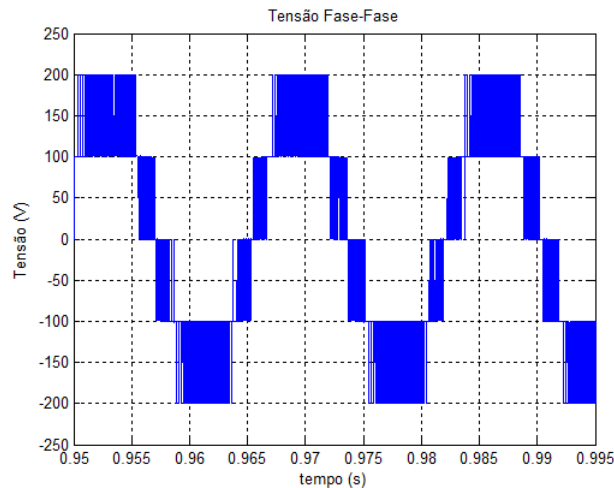


Fonte: Arquivo pessoal

A vantagem desta técnica de controle deve-se ao fato que, ao longo de um período, o número de comutações entre os estados O_A e O_B será menor do que no esquema do comparador de dois níveis. Apesar do aumento do desvio de tensão sobre os capacitores flutuantes e

da inserção de ruído ao sinal, a distorção dos sinais de saída do inversor FC é reduzida. Na Figura 46 é mostrada a forma de onda de tensão fase-fase V_{ab} obtida com essa técnica. O método apresenta maior robustez à presença de ruídos de medição.

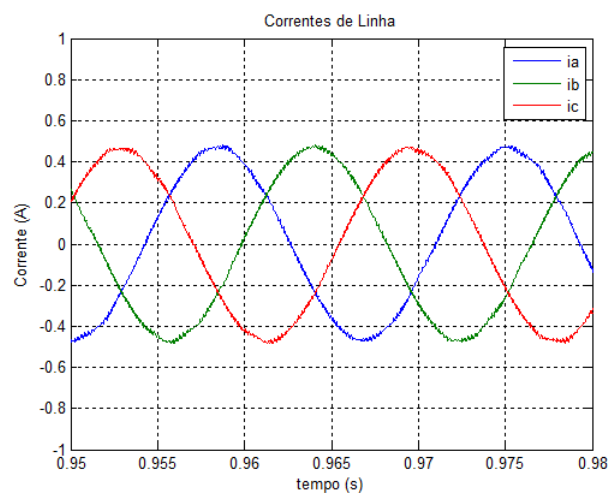
Figura 46 – Tensão fase-fase V_{ab} (SVPWM / Comparador de 3-níveis)



Fonte: Arquivo pessoal

As correntes de linha são mostradas na Figura 47. Como pode ser observado, mesmo com a inclusão de ruídos, a distorção dos sinais e a presença de componente CC são, praticamente, desprezíveis.

Figura 47 – Correntes de linha (SVPWM / Comparador de 3-níveis)

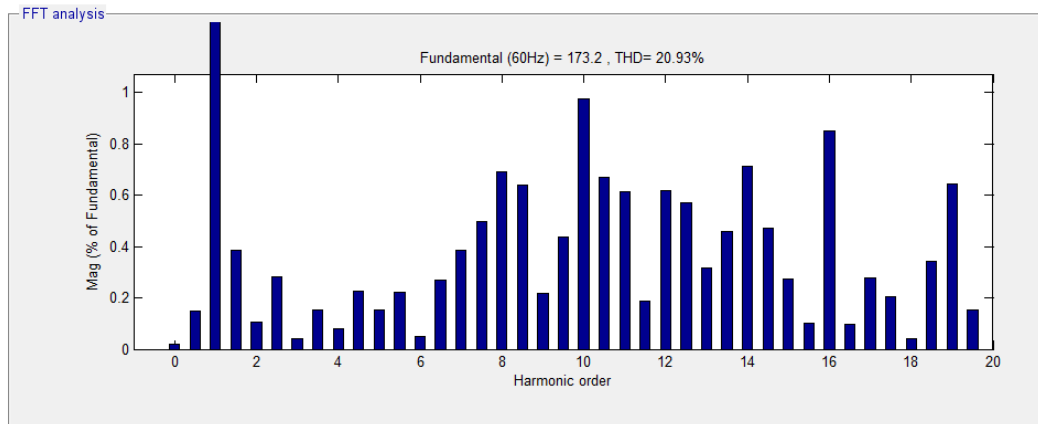


Fonte: Arquivo pessoal

Na Figura 48 são mostradas a amplitude da componente fundamental ($V_1 = 173,2 \text{ V}$) para uma frequência de 60 Hz, o valor da distorção harmônica total ($THD_V = 20,93\%$) e as

amplitudes das demais componentes harmônicas, para a tensão fase-fase V_{ab} . Nota-se a redução da amplitude das componentes de 2ª, 4ª e 8ª ordem.

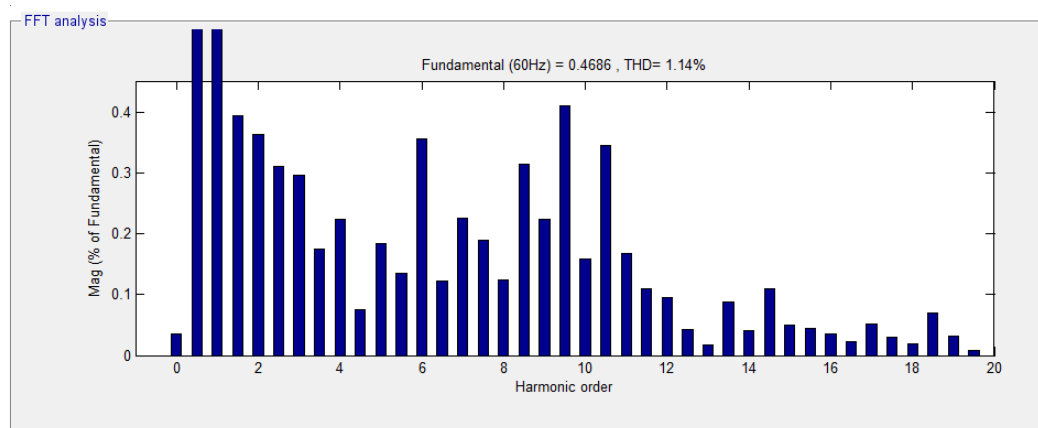
Figura 48 – Espectro harmônico da tensão V_{ab} (SVPWM / Comparador de 3-níveis)



Fonte: Arquivo pessoal

A THD da corrente de linha I_a é de 1,14%. Esse valor é menor que aquele obtido com o comparador de dois níveis na presença de ruídos.

Figura 49 – Espectro harmônico da corrente I_a (SVPWM / Comparador de 3-níveis)



Fonte: Arquivo pessoal

4.3.3 Controle de máximo de corrente

Este método de controle pode ser visto como uma extensão do comparador de 2-níveis, desde que pressupõe a aplicação dessa técnica associada à observação e localização dos valores máximos das correntes de saída.

Segundo Zhang, Watkins e Chang (2006), para se obter formas de onda de tensão com baixo conteúdo harmônico nos inversores multiníveis a capacitor flutuante, deve-se selecionar

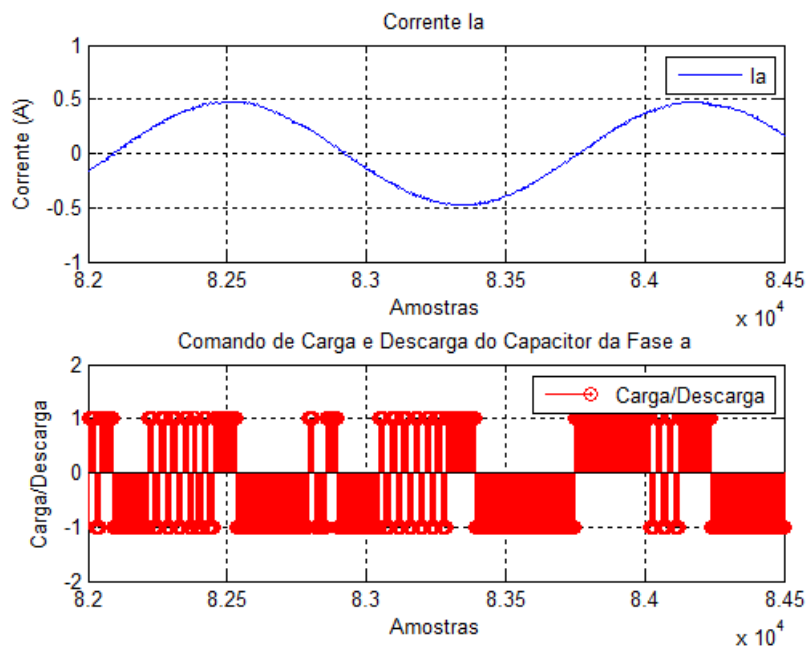
os padrões ótimos de comutação excluindo-se aqueles que causam a carga e subsequente descarga, ou vice-versa, do capacitor flutuante nos picos de máxima corrente.

A solução desse problema passa pela necessidade do cálculo das derivadas dos sinais das correntes de fase a fim de se determinar o instante do valor máximo dessas correntes. Dentre os vários métodos disponíveis em (PHILLIPS; NAGLE, 1995) para o cálculo das derivadas, nesse trabalho foi utilizado a aproximação de um passo atrás (*backward difference*), por se tratar de uma técnica de fácil implementação em dispositivos digitais programáveis, como o DSP. A derivada dos sinais é aproximada por:

$$\frac{d}{dt}y(t) \approx \frac{y(k) - y(k - T)}{T} \quad (44)$$

Na Figura 50, são mostradas a forma de onda de corrente e o resultado do controle da aplicação dos estados O_A e O_B . Os valores '+1' e '-1' indicam a aplicação dos estados O_A e O_B , respectivamente. Pode-se observar que nos instantes onde ocorrem os valores máximos, positivo ou negativo, da corrente da fase a não existe comutação subsequente entre os estados O_A e O_B , que implicaria em carga e descarga subsequentes do capacitor (ou descarga e, subsequente, carga) (MAIA; PEIXOTO, 2009).

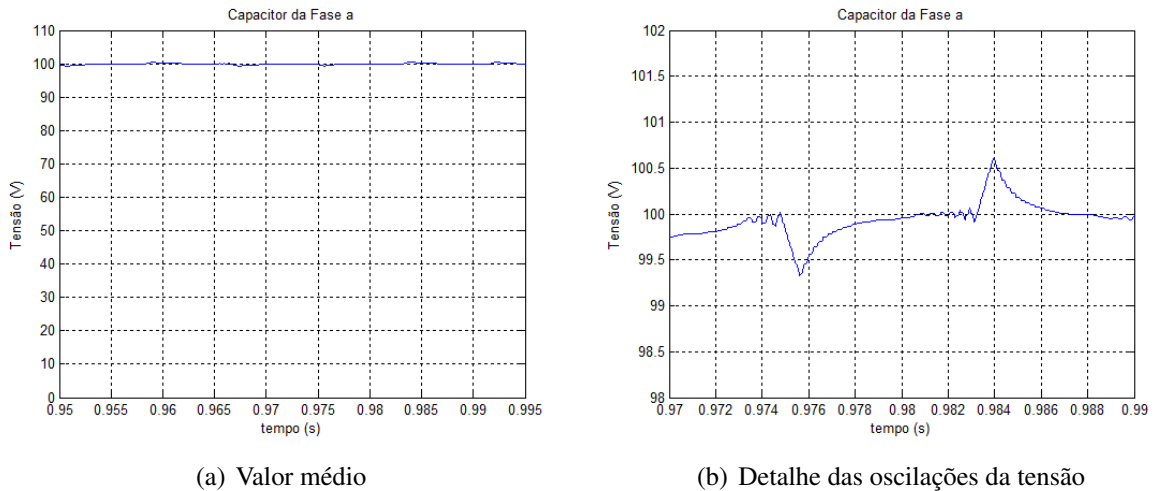
Figura 50 – Corrente de linha e instantes da carga/descarga do capacitor



Fonte: Arquivo pessoal

Como é evidenciado pela Figura 51, esse controle acarreta em um aumento do desvio de tensão sobre os capacitores de fase. Isso deve-se à manutenção do estado O , anteriormente aplicado, antes da ocorrência do pico de corrente.

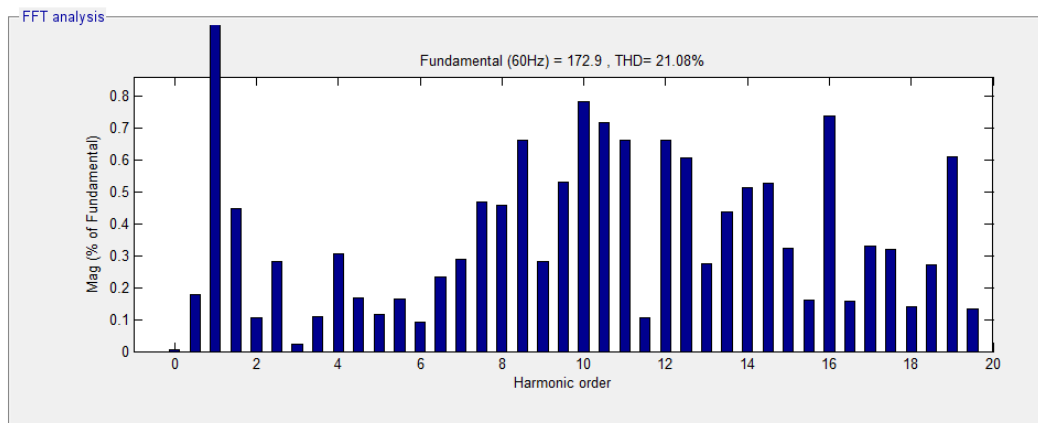
Figura 51 – Tensão sobre o capacitor da fase a (SVPWM / Comparador de 3-níveis)



Fonte: Arquivo pessoal

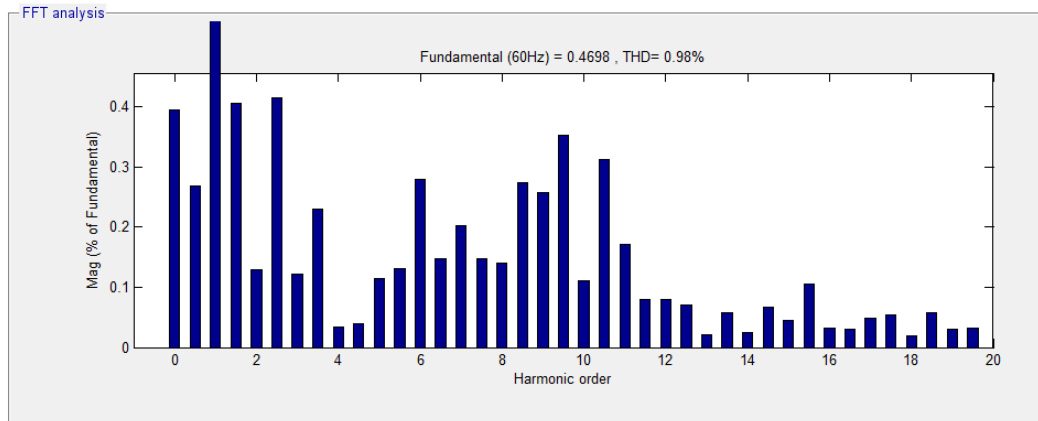
Na Figura 52 são mostrados os resultados da análise espectral obtidos para esse método. Comparados com os resultados obtidos na subseção 4.3.1, comprova-se um aumento da tensão da componente fundamental ($V_1 = 172,9 \text{ V}$) e a diminuição do valor da ($THD_V = 21,08\%$). A análise espectral para a corrente de saída é mostrada na Figura 53, onde observa-se resultados próximos ao obtidos anteriormente.

Figura 52 – Espectro harmônico da tensão V_{ab} (Controle de máximo de corrente)



Fonte: Arquivo pessoal

Mesmo não apresentando uma redução significativa dos valores de THD de tensão e corrente, este controle permite uma maior proteção das chaves, desde que previne a abertura das mesmas no instante de condução com máxima corrente (grandes variações de di/dt). Isso implica em menor *stress* das chaves estáticas e contribui para a operação dentro dos limites di/dt recomendáveis.

Figura 53 – Espectro harmônico da corrente I_a (Controle de máximo de corrente)

Fonte: Arquivo pessoal

4.4 Modulação PDPWM

O diagrama de blocos da Figura 54 apresenta a estrutura do código implementado em linguagem *script* no MATLAB para o algoritmo PDPWM (*phase disposition PWM*). Vale observar, que os sinais gerados através da comparação da onda triangular ou portadora com o sinal modulante ou de referência ($Sx1$, $Sx2$, $Sx3$ e $Sx4$) não podem ser aplicados diretamente às chaves dos braços do inversor multinível, uma vez que esta estratégia de controle gera apenas três estados de chaveamento. Portanto, no Bloco Sinais de Comando, o estado intermediário ($SSx = 1$) é dividido em outros dois (O_A e O_B), cuja aplicação durante o período de modulação será determinado através do bloco Controlador de Estado.

Na estratégia PDPWM, o sinal modulante é dado por:

$$V_r(t) = m_a \times V_m \times \text{sen}(\omega t) \quad (45)$$

Onde,

- m_a : índice de modulação de amplitude;
- V_m : valor máximo do sinal de referência;
- $\omega = 2\pi f_m$;
- f_m : frequência fundamental do sinal de referência.

Além disso, é preciso definir a equação do sinal da portadora triangular, que é dividida em duas partes compostas pelas rampas positiva ($V_{CP}(t)$) e negativa ($V_{CN}(t)$). As duas equações são dadas pelas expressões 46 e 47, respectivamente:

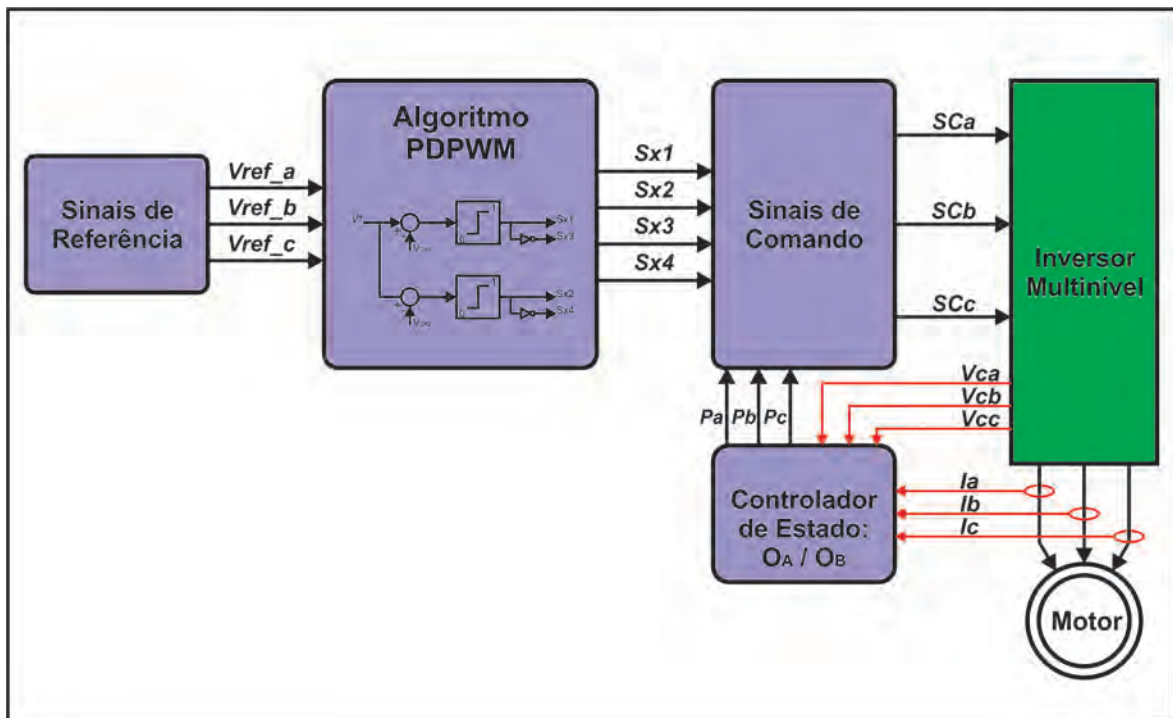
$$V_{CP}(t) = 2 \times V_{Cmax} \times f_C \times t + \frac{V_{Cmax}}{2} \quad (46)$$

$$V_{CN}(t) = -2 \times V_{Cmax} \times f_C \times t + \frac{V_{Cmax}}{2} \quad (47)$$

Onde,

- V_{Cmax} : valor máximo do sinal da portadora;
- f_C : frequência do sinal da portadora.

Figura 54 – Diagrama de blocos da estratégia PDPWM



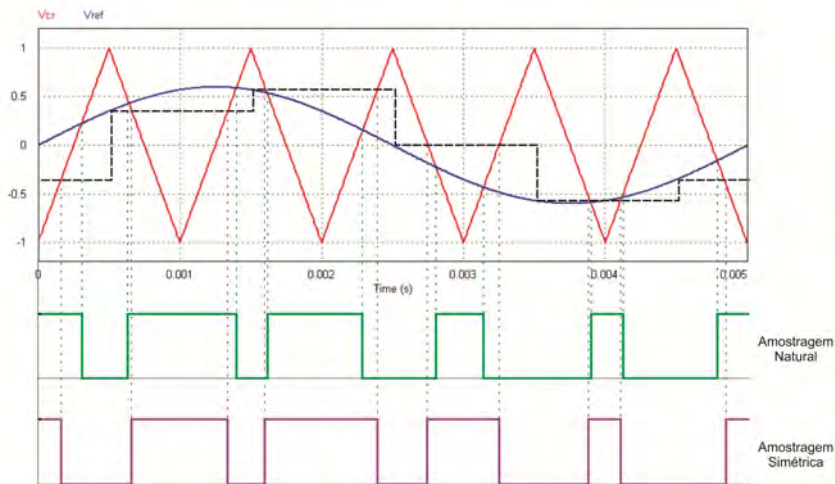
Fonte: Elaborado pelo autor

Diferentemente do método de modulação por portadora natural, onde o sinal modulante é amostrado e comparado continuamente, no método PDPWM digital a amostragem da forma de onda senoidal de referência pode ser realizada de duas formas (ASPALLI; WAMANRAO, 2009):

- Amostragem Simétrica: o sinal de referência é amostrado apenas no pico positivo da forma de onda da portadora e este valor é mantido constante durante o intervalo correspondente ao período da portadora, como mostrado na Figura 55. Isso introduz uma distorção do sinal modulante e deslocamento de fase entre o sinal de modulação e a componente fundamental da tensão de saída. A frequência de amostragem é igual à frequência da portadora e o deslocamento de fase, em relação ao sinal de referência, é dado por:

$$\varphi = \frac{\pi}{m_f} \quad (48)$$

Figura 55 – Modulação por portadora: natural e com amostragem simétrica

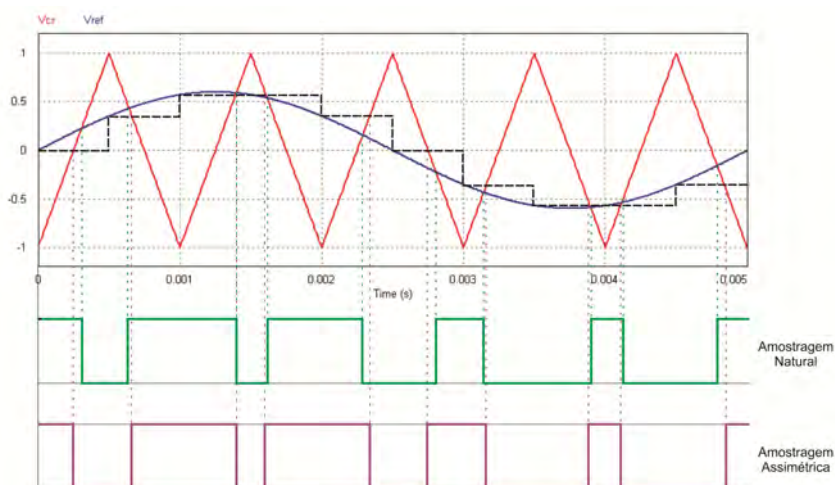


Fonte: Adaptado de (ASPALLI; WAMANRAO, 2009)

- b) Amostragem Assimétrica: o sinal de referência é amostrado duas vezes, no pico positivo e no pico negativo, durante um período da portadora. Este valor é mantido constante apenas durante meio período, como mostrado na Figura 56. Isso resulta em uma frequência de amostragem duas vezes maior e em uma melhor aproximação entre a tensão de saída e o sinal de referência. O deslocamento de fase é reduzido, sendo dado por:

$$\varphi = \frac{\pi}{2m_f} \quad (49)$$

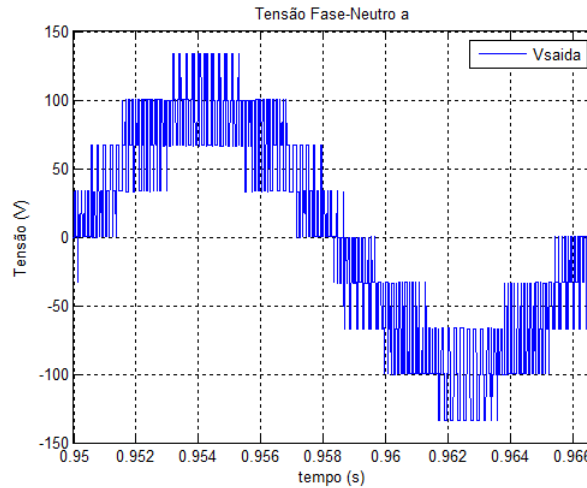
Figura 56 – Modulação por portadora: natural e com amostragem assimétrica



Fonte: Adaptado de (ASPALLI; WAMANRAO, 2009)

Alguns resultados de simulação, obtidos a partir do método PDPWM com amostragem assimétrica, são apresentados nesta seção. A Figura 57 mostra a forma de onda da tensão fase-neutro de saída (V_{an}), para um índice de modulação $m_a = 1$. Pode-se observar, como esperado, a presença de nove níveis de tensão para a sintetização do sinal senoidal de referência.

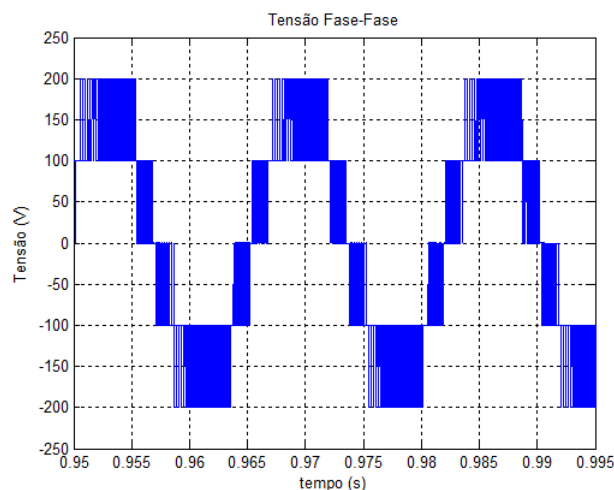
Figura 57 – Tensão fase-neutro V_{an} (PDPWM)



Fonte: Arquivo pessoal

Na Figura 58 é apresentada a forma de onda da tensão V_{ab} , e a presença dos três níveis de tensão ($V_{ab} = [E, E/2 \text{ e } 0]$), de acordo com os estados de chaveamento indicados no Quadro 5.

Figura 58 – Tensão fase-fase V_{ab} (PDPWM)

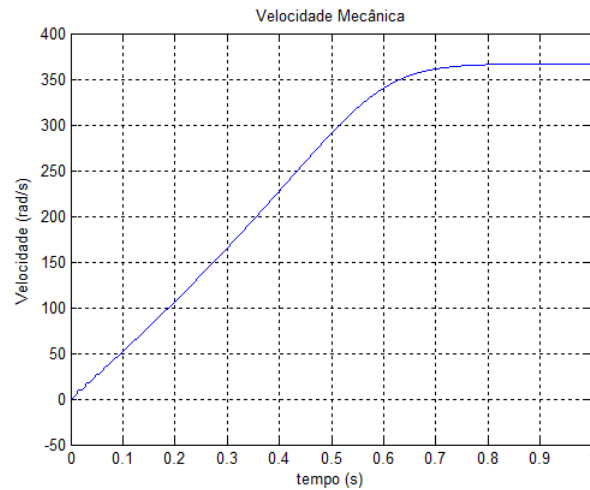


Fonte: Arquivo pessoal

A Figura 59 mostra a forma de onda da velocidade mecânica, considerando conjugado de carga nulo. Nota-se que em condições nominais de excitação, a máquina atinge o regime

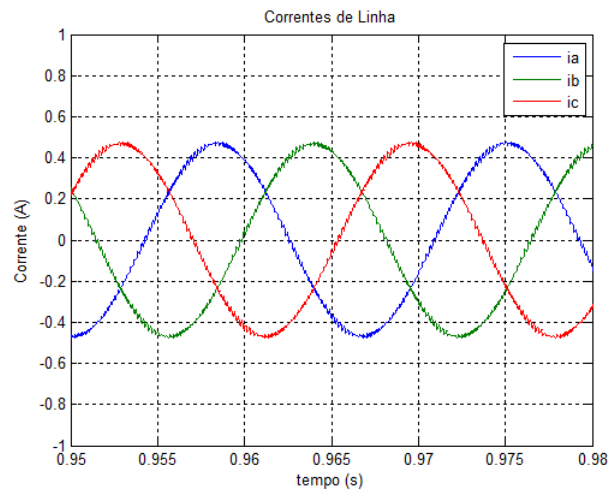
permanente em torno de 0,8 s, com velocidade nominal de 367 rad/s. A Figura 60 apresenta as formas de onda das correntes de linha resultantes, para uma frequência fundamental de 60 Hz.

Figura 59 – Velocidade mecânica (PDPWM)



Fonte: Arquivo pessoal

Figura 60 – Correntes de linha (PDPWM)



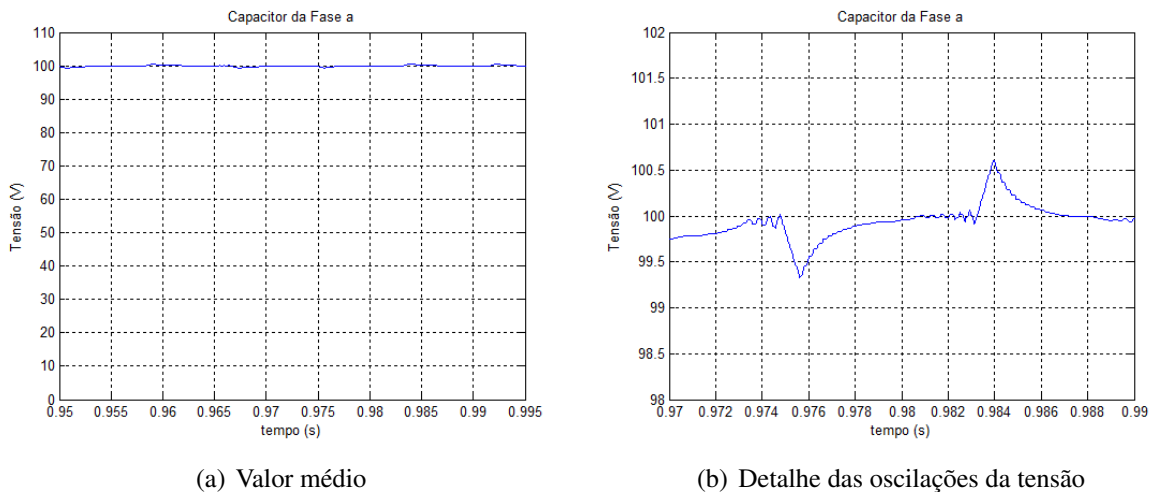
Fonte: Arquivo pessoal

4.4.1 PDPWM associado ao comparador de dois níveis

Com o intuito de comparar o desempenho das estratégias SVPWM e PDPWM, foram realizadas simulações utilizando-se comparadores de 2-níveis para as tensões dos capacitores flutuantes, cujas tensões de referência foram mantidas, igualmente, em $V_{cx_ref} = E/2$. Na

Figura 61 é mostrada a tensão do capacitor da fase *a*. Observa-se a redução do desvio de tensão sobre o capacitor, uma vez que na operação assimétrica o sinal de referência é amostrado duas vezes a cada período de PWM. Como os parâmetros utilizados nesta simulação foram mantidos, o desvio máximo de tensão durante o processo de carga e descarga dos capacitores flutuantes permanece igual $\Delta V_{Cf} = 0,208$ V.

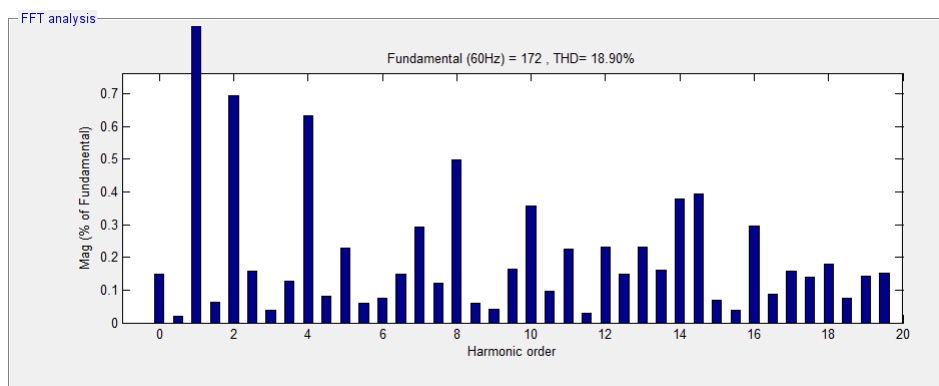
Figura 61 – Tensão sobre o capacitor da fase *a* (PDPWM / Comparador de 2-níveis)



Fonte: Arquivo pessoal

A análise espectral dos sinais de tensão fase-fase e corrente de linha são mostrados nas figuras seguintes. Na Figura 62, pode-se constatar o valor da componente fundamental igual a $V_1 = 172$ V e a distorção harmônica total $THD_V = 18,90\%$, ou seja, houve a redução da amplitude da componente fundamental e do valor da THD, quando comparados aos valores obtidos a partir da estratégia SVPWM.

Figura 62 – Espectro harmônico da tensão V_{ab} (PDPWM / Comparador de 2-níveis)

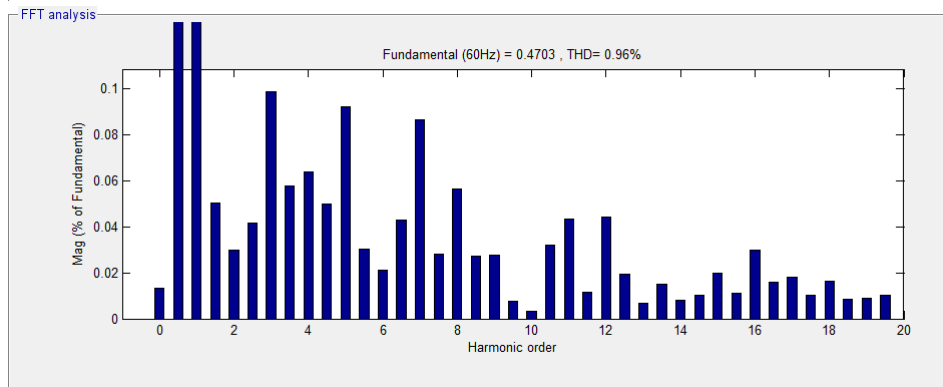


Fonte: Arquivo pessoal

Na mesma comparação, há também a redução da amplitude da componente fundamental

da corrente de linha (FIG. 63), decorrente da menor amplitude da tensão fase-neutro, e da distorção harmônica total ($THD_I = 0,96\%$).

Figura 63 – Espectro harmônico da corrente I_a (PDPWM / Comparador de 2-níveis)

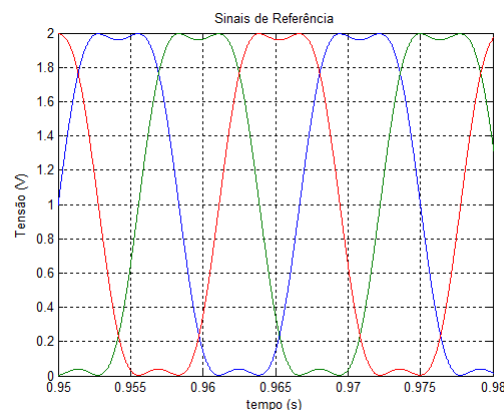


Fonte: Arquivo pessoal

4.4.2 Injeção de terceira harmônica

Quando o inversor é controlado pela estratégia de modulação baseada em portadoras, existe a limitação da tensão máxima de saída em função da tensão de barramento disponível. Como uma forma de compensação à essa restrição, o índice de modulação máxima pode ser incrementado pela inclusão de um termo de terceiro harmônico de modo comum, na forma de onda dos sinais de referência. A onda moduladora resultante é a soma da senóide de referência à outro sinal senoidal com o triplo de sua frequência e um sexto da amplitude, resultando em uma forma de onda de topo mais plano, conforme Figura 64.

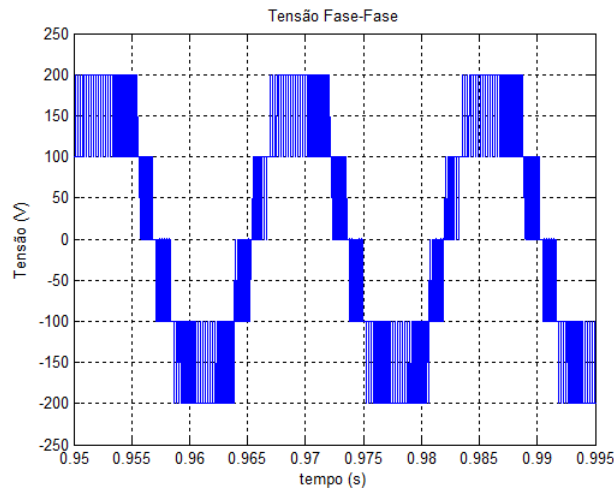
Figura 64 – Sinais de referência com a injeção da terceira harmônica



Fonte: Arquivo pessoal

A tensão entre fases é mostrada na Figura 65. Quando comparada à forma de onda da Figura 58, nota-se a maior permanência das chaves, durante o período de modulação, nos estados P e N .

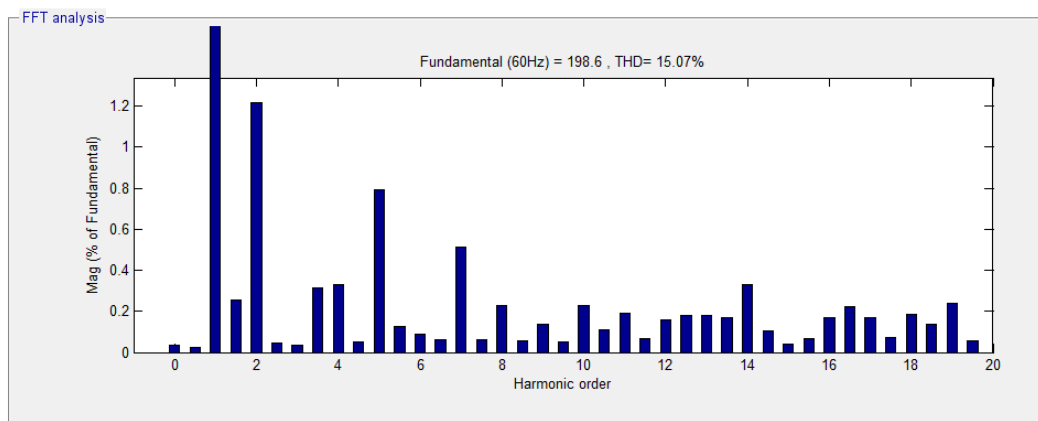
Figura 65 – Tensão fase-fase V_{ab} , com injeção da terceira harmônica



Fonte: Arquivo pessoal

A injeção da componente de terceira harmônica garante um valor de pico da componente fundamental igual a 198,6 V, ou seja, 15% maior quando comparado com o resultado obtido na subseção anterior. Além disso, tem-se uma redução significativa da THD da tensão V_{ab} , conforme mostra a Figura 66.

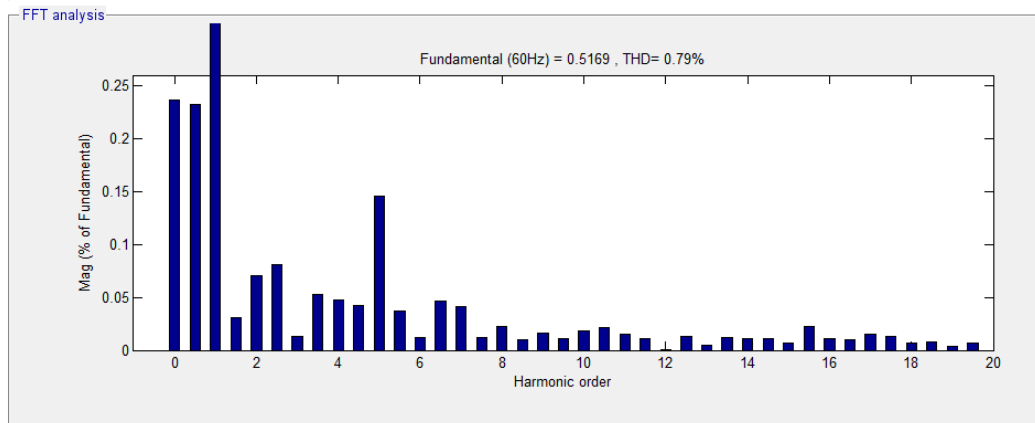
Figura 66 – Espectro harmônico da tensão V_{ab} (com injeção da terceira harmônica)



Fonte: Arquivo pessoal

Há também um aumento da amplitude da componente fundamental da corrente de linha, decorrente da maior amplitude da tensão fase-neutro. A distorção harmônica total do sinal de corrente também é reduzida ($THD_I = 0,79\%$). Esses resultados são mostrados na Figura 67.

Figura 67 – Espectro harmônico da corrente I_a (injeção da terceira harmônica)



Fonte: Arquivo pessoal

A injeção da componente de terceira harmônica garante um valor de pico da componente fundamental igual a 198,6 V , ou seja, 15% maior quando comparado com o resultado obtido na subseção anterior. Além disso, tem-se uma redução significativa da THD da tensão V_{ab} , conforme mostra a Figura 66.

4.5 Estratégia SVPWM versus PDPWM

As estratégias de modulação por vetor espacial (SVPWM) e modulação baseada em portadoras (CBPWM, como é o caso do PDPWM) estão entre as mais utilizadas para acionamento de cargas trifásicas. Em (BOSE, 2006) é feita uma comparação entre essas duas técnicas, apontando as seguintes características:

- Se o neutro da carga é conectado para a circulação da corrente de sequência zero (ou se a carga é composta por uma única fase), somente o CBPWM sem injeção de harmônicos poderá ser utilizado.
- Nota-se que ambos os métodos PWM são por controle em malha aberta baseados na frequência da portadora, onde a frequência da mesma pode ser fixa, não sincronizada ou sincronizada com a frequência fundamental. Em modo de funcionamento não sincronizado, a menos que a proporção m_f seja elevada, uma certa quantidade de subharmônicos é introduzida na carga.
- O CBPWM é mais simples de implementar em comparação com o SVPWM, que requer operações aritméticas em tempo real. Além disso, as técnicas CBPWM podem ser implementadas tanto por *hardware* simples como por *software*.
- A utilização da tensão disponível no barramento é melhor com o SVPWM, devido ao maior índice de modulação que pode ser alcançado nessa estratégia. No entanto, a onda senoidal de modulação, utilizada no CBPWM, pode ser incrementada com

uma componente de terceira harmônica (componente de sequência zero) para atingir o mesmo índice de modulação do SVPWM.

Com o intuito de se comparar as estratégias utilizadas nesse trabalho, foi produzido o Quadro 14, contendo os resultados obtidos em relação à THD, amplitude da componente fundamental e o valor de tensão eficaz para diferentes frequências de PWM e índice de modulação $m_a = 1$. Com relação à distorção harmônica da tensão fase-fase produzida pelo inversor FC, os resultados obtidos demonstram que a estratégia SVPWM, de uma maneira geral, é superior à estratégia PDPWM.

Quadro 14 – Comparação das Estratégias.

$f_{PWM}(Hz)$	SVPWM			PDPWM			PDPWM-ITH		
	THD_V	V_1	V_{RMS}	THD_V	V_1	V_{RMS}	THD_V	V_1	V_{RMS}
600	34,70%	170,3	127,6	36,39%	172,5	130,0	27,83%	198,4	146,5
1200	35,08%	172,9	129,3	33,24%	173,1	129,8	25,82%	198,6	146,6
2400	21,92%	172,6	129,4	25,71%	173,3	129,1	20,07%	198,6	144,6
4800	21,08%	172,9	128,1	18,98%	172,1	129,7	15,01%	198,7	144,2
9600	14,77%	171,9	129,2	19,53%	172,0	129,4	16,67%	197,6	144,7

Fonte: Elaborado pelo autor

Os valores das componentes fundamentais (V_1) para a estratégia PDPWM foram obtidos para um índice de modulação de amplitude $m_a = 1$, ou seja, para os máximos valores de pico que podem ser obtidos na saída do inversor FC. Com a injeção da componente de terceira harmônica (PDPWM-ITH), a amplitude da fundamental é aumentada em aproximadamente 15% para todas as frequências analisadas. Além disso, nota-se uma redução significativa da distorção harmônica da tensão fase-fase.

A estratégia SVPWM permite alcançar índices satisfatórios de THD e um melhor aproveitamento da tensão disponível no barramento CC. Para o caso em estudo, onde a tensão do barramento $E = 200$ V, conseguiu-se um valor de $V_{RMS} = 148,9$ V. Esse valor é, aproximadamente, 14% maior do que os valores obtidos utilizando-se a estratégia PDPWM e 3,26% maior, se comparado com o PDPWM-ITH.

Mesmo não sendo o objetivo desse trabalho, é importante destacar que a estratégia PDPWM demanda menor capacidade de processamento quando comparada com a estratégia SVPWM, uma vez que é necessário apenas gerar os sinais senoidais de referência e compará-los com as portadoras triangulares. Dependendo do dispositivo a ser utilizado para a implementação e da frequência f_{PWM} selecionada, esse é um fator que deve ser considerado para a escolha da estratégia de controle por modulação da largura de pulso.

4.6 Conclusão

Como demonstrado nesse capítulo, o emprego dos inversores multiníveis a capacitor flutuante apresenta um melhor desempenho na sintetização de sinais senoidais aliado à facili-

dade de controle dos níveis intermediários das tensões de saída. Além disto, os resultados de simulação comprovam o funcionamento adequado das estratégias SVPWM e PDPWM, quando aplicados a essa topologia de inversores.

No inversor multinível a capacitor flutuante, uma das questões mais importantes é o controle do balanceamento da tensão do capacitor flutuante. O desbalanceamento desta tensão gera distorção das tensões e correntes de saída. Estudos recentes confirmam um grande interesse no desenvolvimento de técnicas que possam contribuir para a melhoria do desempenho das topologias multiníveis frente à distorção harmônica e redução das perdas de chaveamento.

Os resultados de simulação mostraram o funcionamento esperado do inversor multinível a capacitor flutuante, a partir dos métodos de modulação por largura de pulso investigados. Foi possível comprovar, através dos ensaios realizados, a influência de alguns fatores sobre a geração de componentes harmônicos na saída, tais como a frequência de chaveamento, o balanceamento dos níveis intermediários de tensão, a escolha dos instantes de chaveamento, dentre outros.

5 RESULTADOS EXPERIMENTAIS

5.1 Introdução

Neste capítulo, serão apresentados os resultados experimentais a partir de um protótipo do inversor 3-níveis a capacitor flutuante, disponível no PPGEE - PUC Minas. Para a implementação do *firmware*, foi utilizado o *Starter Kit eZdsp F2812*, fabricado pela Texas Instruments Inc. (TI), cuja programação é feita através do *Code Composer Studio*, em linguagem C/C++.

Inicialmente, serão apresentadas as características técnicas do protótipo, destacando os principais dispositivos e suas respectivas funcionalidades e, em seguida, os periféricos do DSP TMS320F2812 utilizados na implementação da estratégia SVPWM associada às técnicas de controle de tensão dos capacitores flutuantes.

Os testes foram realizados conforme a mesma metodologia aplicada no capítulo Resultados de Simulação - capítulo 4, na tentativa de se estabelecer a comparação dos resultados e a validação do funcionamento e técnicas de projeto utilizadas.

5.2 Protótipo inversor 3-níveis a capacitor flutuante

O protótipo experimental Inversor 3-Níveis a Capacitor Flutuante foi realizado a partir de um projeto de iniciação científica (MAIA; PEIXOTO, 2007) e do Trabalho de Conclusão de Curso (MAIA et al., 2008), desenvolvido no IPUC - Curso de Engenharia Eletrônica e de Telecomunicação. Este protótipo, mostrado na Figura 68, é composto basicamente pelos seguintes módulos:

- a) Placa de interface - Responsável pela interação e condicionamento de sinais entre a parte de potência e medição do conversor multinível (transdutores, *drivers* e IGBTs) e o processador digital de sinais.
- b) Transdutores de corrente/tensão - A medição das correntes linha e das tensões sobre os capacitores flutuantes foi realizada, respectivamente, através dos transdutores de efeito Hall LA55-P e LV25-400, fabricados pela LEM.
- c) Módulo de Potência - Compostos pelos *drivers* SKHI23/12 que possibilitam o acionamento de duas chaves estáticas, podendo ser de modo independente ou na forma de complemento. Para as chaves estáticas, utilizou-se módulos SKM50GB063D, constituídos por dois IGBTs conectados em série associados aos diodos de roda livre, em antiparalelo. A retificação trifásica CC/CA é obtida através da ponte retificadora SKD31/08. Todos os dispositivos citados são fabricados pela Semikron Semicondutores.

Na Figura 68 pode-se destacar, ainda, os dois capacitores do barramento CC ($4700\mu\text{F} / 1000V_{DC}$), uma placa com os capacitores flutuantes ($470\mu\text{F} / 250V_{DC}$) e os dispositivos de proteção do protótipo.

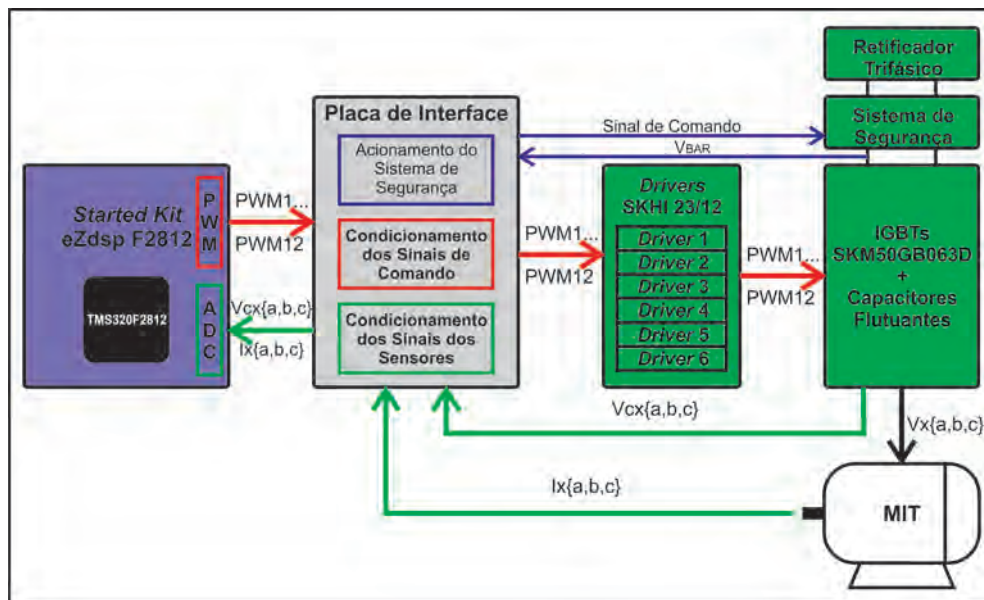
Figura 68 – Protótipo do inversor multinível a capacitor flutuante



Fonte: Foto do autor

A Figura 69 mostra o diagrama de blocos do protótipo do inversor multinível. A placa de interface pode ser dividida em três partes principais: os circuitos de condicionamento dos sinais de comando, os circuitos de condicionamento de sinal dos sensores de corrente/tensão e o circuito de acionamento do sistema de segurança.

Figura 69 – Diagrama de blocos do protótipo do inversor 3-níveis a capacitor flutuante



Fonte: Elaborado pelo autor

Os sinais PWM (PWM1...PWM12), gerados pelo DSP TMS320F2812 a partir da estratégia de modulação, são enviados para a placa de interface para que possam ser compatibilizados com os valores de operação das placas SKHI23/12, que os conectam ao comando dos IGBTs.

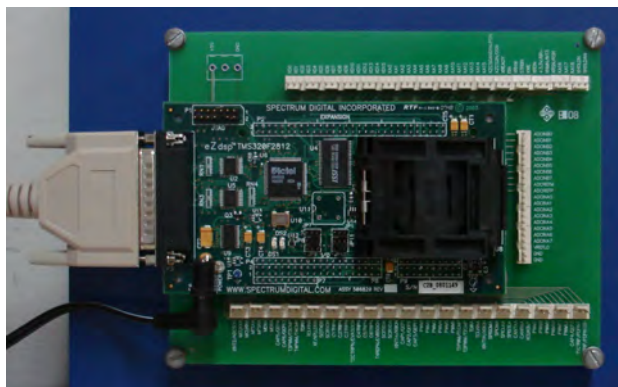
Os sinais provenientes dos sensores de tensão e corrente (V_{cx} e I_x , $x \in \{a, b, c\}$, respectivamente) são condicionados e, posteriormente, enviados ao DSP para serem utilizados no controle de tensão dos capacitores flutuantes.

O circuito de segurança tem por finalidade a proteção do retificador trifásico e do inversor em caso de sobretensão no barramento CC. Esse circuito é constituído de um *driver* SKHI23/12 e um módulo IGBT SKM50GB063D conectado em série com a resistência de frenagem.

5.3 Processador digital de sinais F2812

O *Starter Kit eZdsp F2812*, mostrado na Figura 70, é fornecido pela Spectrum Digital. Na placa estão inclusos o DSP TMS320F2812, emulador JTAG *on-board* e a interface de sinais. O ambiente de programação utilizado é o *Code Composer Studio* (CCS), disponibilizado pela Texas Instruments Inc.. Essa ferramenta de desenvolvimento possibilita a programação do código em linguagem C/C++, a gravação e a depuração do algoritmo. O CCS ainda disponibiliza um recurso de visualização gráfica dos sinais que são gerados internamente.

Figura 70 – Starter Kit eZdsp F2812



Fonte: Foto do autor

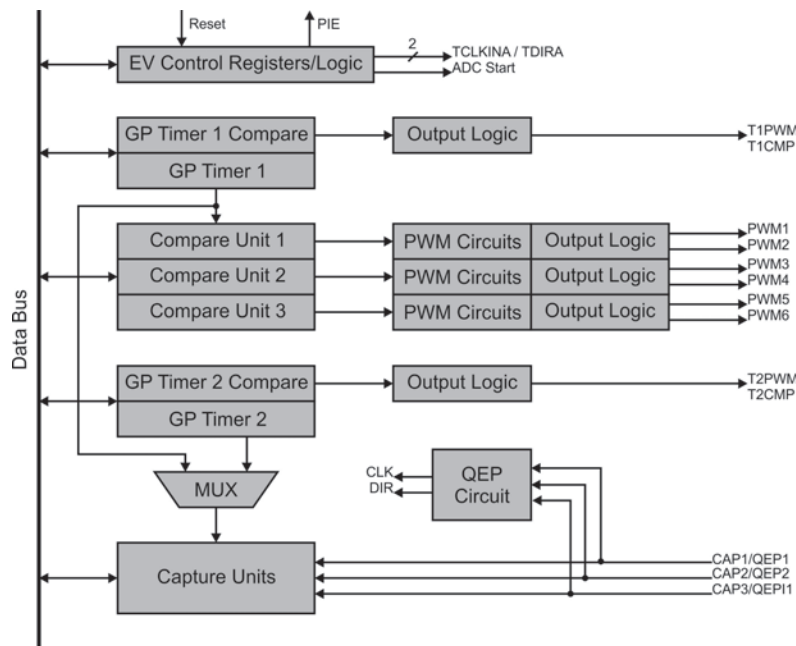
O TMS320F2812 é um processador digital de sinais de ponto-fixado de 32 bits e 150 MIPS (milhões de instruções por segundo). Esse dispositivo é integrante da família C2000, cuja arquitetura é otimizada para controle digital, sendo amplamente utilizado em trabalhos de pesquisa que envolvam conversores CC/CC e CC/CA (FU et al., 2009)(AVILA; MENDES; CORTIZO, 2011). Dentre os diversos periféricos específicos para controle, foram utilizados no projeto:

- a) Gerenciadores de Eventos (EVA e EVB);
- b) Conversor Analógico-Digital de 12 bits (16 canais);
- c) *Interrupt System*.

Esse DSP está equipado com dois gerenciadores de eventos (*Event Managers - EV*) que são praticamente idênticos, denominados EVA e EVB. Esses módulos fornecem uma ampla

gama de funções e características que são particularmente úteis em aplicações de controle de motores, como a modulação por largura de pulsos e o tratamento de sinais provenientes de *encoders*, conforme Figura 71. Cada EV pode gerar até oito sinais PWM, sendo que os provenientes de cada bloco *Compare Unit* (PWM1...PWM6, para o EVA) podem ser configurados como sinais complementares. Além disso, o EV pode ser configurado para inicializar o conversor analógico-digital a cada período de modulação através do bloco *EV Control Registers/Logic*.

Figura 71 – Diagrama de blocos do *Event Manager A*

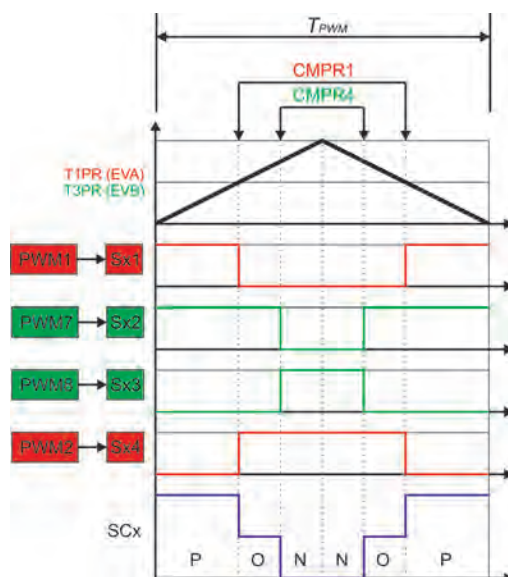


Fonte: Adaptado de Texas Instruments (2004)

A Figura 72 ilustra a estrutura do EV, onde os sinais PWM a serem utilizados são gerados pelos blocos *Compare Units*. Essas unidades comparam, continuamente, o valor do contador de 16-bits TxCNT (forma de onda triangular, para o modo de operação simétrico) com os registros de comparação CMPRx {1, 2, 3, 4, 5, 6}, de tal forma que, quando os valores do contador e de comparação se igualam, o estado lógico do sinal de saída é modificado. Os tempos de aplicação dos estados P, O e N são calculados e atualizados nos registros CMPRx, a cada período de modulação. Desta forma é gerada a modulação por largura de pulsos (TEXAS INSTRUMENTS, 2004).

Para a operação da topologia inversor a quatro chaves estáticas por braço, os sinais PWM gerados pelo módulo EVA são enviados para as chaves $Sx1$ e $Sx4$, enquanto os sinais gerados pelo módulo EVB são enviados para as chaves $Sx2$ e $Sx3$, obtendo-se assim o sinal de comando mostrado na Figura 21. Isso é possível devido à configuração de complementaridade dos sinais PWM de cada bloco *Compare Unit*, como mencionado anteriormente, que possibilita a realização dos estados desejados das chaves de cada braço do inversor, conforme o Quadro 5.

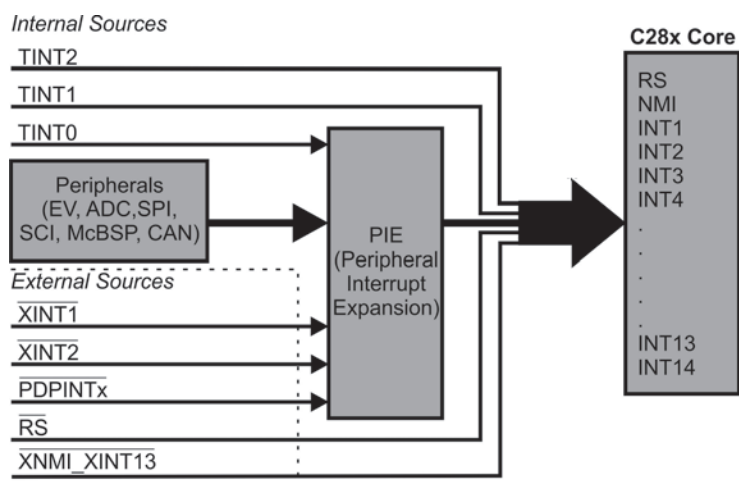
Figura 72 – Sinais gerados pelo *Compare Units*



Fonte: Elaborado pelo autor

A interrupção é uma operação assíncrona, podendo ocorrer em qualquer ponto do programa e desencadeada por um evento relacionado ao *hardware* do dispositivo. No F2812, as interrupções são geradas por fontes externas ou internas (estouro de contagem de um *timer* ou periféricos), conforme Figura 73. O núcleo de interrupção do sistema consiste de 16 linhas (14 linhas mascaráveis e 2 linhas não-mascaráveis, RESET/NMI). A máscara é uma combinação binária de "1s" e "0s", onde "1" representa uma linha de interrupção habilitada e "0" linha desabilitada. Ao carregar a máscara no registro IER (*Interrupt Enable Register*), as linhas de interrupção selecionadas serão habilitadas para permitir uma solicitação de interrupção.

Figura 73 – Diagrama de blocos do *Interrupt System*

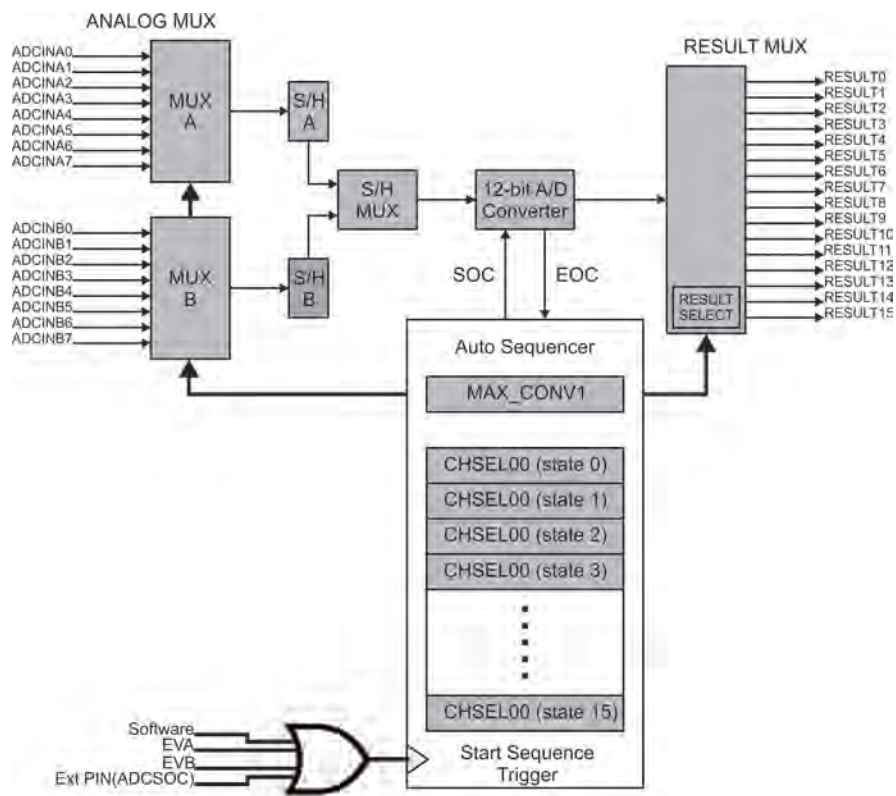


Fonte: Adaptado de Texas Instruments (2004)

O F2812 conta com 96 fontes de interrupção para as 14 linhas mascaráveis disponíveis. Como o núcleo de interrupção não tem capacidade suficiente para lidar com todos os pedidos de interrupção dos periféricos, um controlador PIE (*Peripheral Interrupt Expansion*) centralizado é obrigado a arbitrar os pedidos de interrupção de várias fontes, tais como periféricos e pinos externos. Esta unidade pode suportar as 96 interrupções, que são agrupadas em subgrupos de oito e que, através de multiplexação, compartilham uma das linhas de interrupção (INT1...INT12) que alimenta o núcleo do C28x.

O conversor analógico-digital (ADC) tem resolução de 12 bits e é composto por dois módulos (MUX A e MUX B), com oito canais de conversão cada, conforme Figura 74. Para este projeto foi selecionado o modo de operação em cascata, no qual a conversão é iniciada a partir do canal ADCINA0 e finalizada com o canal ADCINB7, de forma sequencial. Além disso, o número máximo de canais amostrados por período PWM é limitado a seis através do registro ADCMAXCONV.

Figura 74 – Diagrama de blocos do ADC (modo cascata)



Fonte: Adaptado de Texas Instruments (2004)

Para manter o sincronismo entre as operações de amostragem dos sinais de corrente / tensão e a geração dos sinais PWM, um sinal é enviado a partir do bloco *EV Control Registers/Logic* (FIG. 71) para o módulo ADC (por meio da porta lógica OU) para que a conversão seja realizada no início de cada período de modulação.

No Quadro 15 são listados os canais ADCs relacionados às variáveis analógicas amostradas, conforme o código implementado no DSP.

Quadro 15 – Conversor Analógico-Digital

Variável	Descrição	Canal
V_{c_a}	Tensão sobre o capacitor da fase a	ADCINA2
V_{c_b}	Tensão sobre o capacitor da fase b	ADCINA3
V_{c_c}	Tensão sobre o capacitor da fase c	ADCINA4
I_a	Corrente da fase a	ADCINA5
I_b	Corrente da fase b	ADCINA6
I_c	Corrente da fase c	ADCINA7

Fonte: Elaborado pelo autor

No *firmware* gravado no F2812, a estratégia de modulação foi implementada na forma de um subprograma ISR (*Interrupt Service Routine*), cujo endereço de entrada é armazenado na tabela de vetores de interrupção, na posição indicada pela interrupção gerada pelo ADC (ADCINT). Assim, ao final de um período PWM, o *Event Manager A* envia um sinal para iniciar a conversão das variáveis listadas no Quadro 15. Após o término desta operação, a interrupção do ADC aponta para o subprograma que contém a estratégia de modulação a ser executada. Os tempos de aplicação τ_{px} e τ_{nx} são calculados e o resultado armazenado nos registros CMPRx, para serem utilizados no ciclo seguinte, conforme a Figura 72. Portanto, existe o atraso de um ciclo entre o instante em que os tempos τ_{px} e τ_{nx} são calculados e sua efetiva utilização no comando das chaves, sem perdas significativas na operação do inversor FC.

5.4 Modulação SVPWM

Com o objetivo de comparar os resultados práticos e de simulação, as condições de operação do inversor multinível foram ajustadas, aproximadamente, em:

1. $E = 200$ V (Tensão do barramento CC);
2. $F_{PWM} = 4,8$ kHz (Frequência de PWM);
3. $C = 470$ μ F (Capacitância dos capacitores de fase).

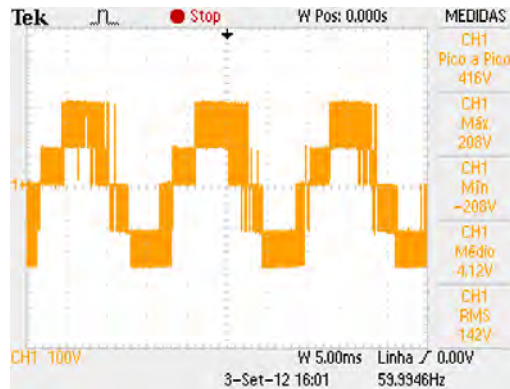
Foram feitas aquisições das formas de onda das tensões fase-fase, correntes de linha e das tensões sobre os capacitores flutuantes. A seguir, serão mostrados os resultados experimentais obtidos a partir da implementação do algoritmo SVPWM associado às técnicas de controle de tensão sobre os capacitores flutuantes, apresentadas na seção 3.4.

5.4.1 Comparador de dois níveis

A Figura 75 apresenta a tensão fase-fase V_{ab} , sintetizada pelo inversor a capacitor flutuante. Pode-se observar os três níveis de tensão ($V_{ab} = 205$ V, 102V e 0V) correspondentes à

aplicação dos estados de chaveamento P , O e N . Ainda, a presença de comutações indesejadas sobre a tensão do capacitor flutuante devido à presença de ruídos e, em consequência, a assimetria nos níveis intermediários da tensão de saída.

Figura 75 – Tensão fase-fase V_{ab} (Comparador de 2-níveis)



Fonte: Arquivo pessoal

A forma de onda da corrente de saída I_a é mostrada na Figura 76, com significativa distorção devido à assimetria do sinal de tensão aplicado à máquina. A medição das correntes foram realizadas em um dos pontos de teste da placa de interface, antes do condicionamento e envio para o DSP, vale ressaltar a contribuição de ruídos inerentes à interface e aos sensores de efeito Hall utilizados.

Figura 76 – Corrente de saída da fase a (Comparador de 2-níveis)

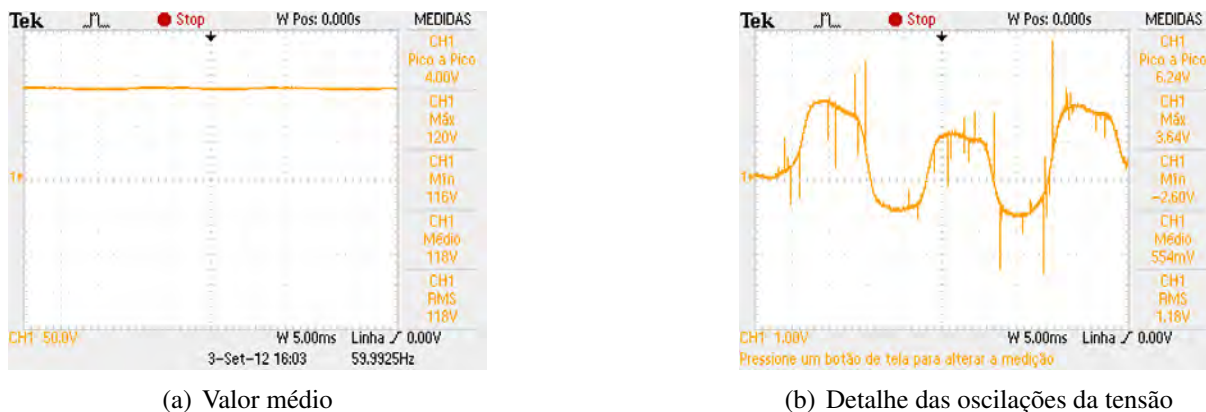


Fonte: Arquivo pessoal

As formas de onda da tensão sobre o capacitor da fase a , valor CC e $ripple$, são apresentadas na Figura 77. Pode-se notar que os processos irregulares de carga e descarga em torno de um valor de tensão superior à metade da tensão do barramento CC , no caso, $V_{cx_ref} = 100$. Os distúrbios são decorrentes dos ruídos presentes nos sinais medidos e, consequentemente,

da aplicação inadequada dos estados O_A e O_B pelo comparador de dois níveis, conforme já explicado na seção 3.4.1.

Figura 77 – Tensão sobre o capacitor da fase a (Comparador de 2-níveis)

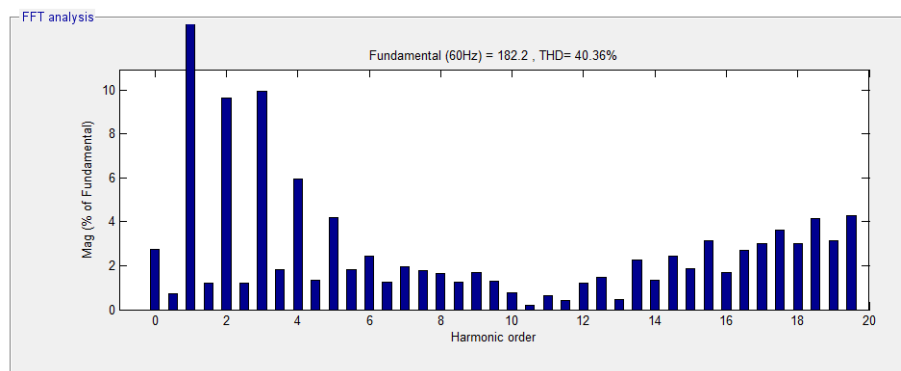


Fonte: Arquivo pessoal

Para a análise espectral dos sinais de tensão e corrente, novamente será utilizada a ferramenta PowerGUI. Os dados são coletados através dos canais do osciloscópio Tektronix (modelo TDS2012B) a uma taxa de amostragem de 50kHz e disponibilizados por meio de um arquivo de extensão ".csv" (*Comma-separated values*). Esses dados são carregados no MATLAB/Simulink e, posteriormente, processados pela função *FFT Analysis*.

Na Figura 78 são mostrados os resultados obtidos, onde a amplitude da componente fundamental da tensão é $V_1 = 182,2 \text{ V}$ e o valor da $THD_V = 40,36\%$. Nota-se que algumas componentes harmônicas (Ex: 2^a , 3^a , 4^a , 5^a) possuem amplitudes que variam, aproximadamente, de 5 à 10% da amplitude da componente fundamental, contribuindo de forma significativa para a distorção harmônica do sinal. Algumas componentes e inter-harmônicas de mais alta ordem, acima da 15^a também apresentam significativa contribuição.

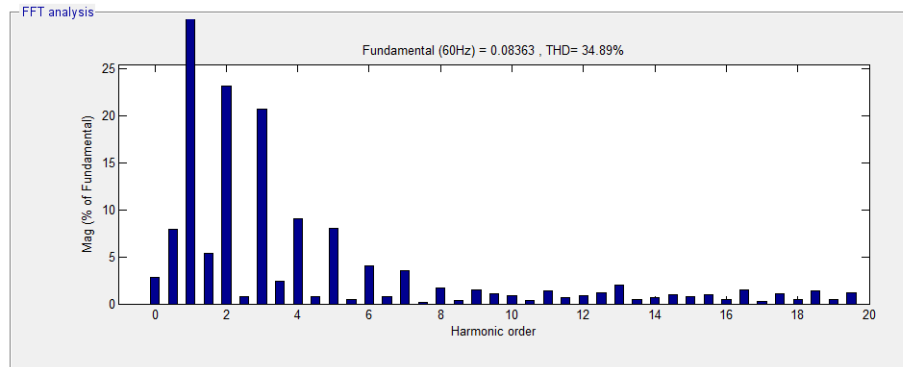
Figura 78 – Análise espectral e THD da tensão V_{ab} (Comparador de 2-níveis)



Fonte: Arquivo pessoal

A Figura 79 apresenta os resultados da análise espectral da corrente I_a . O valor da componente fundamental corresponde a $I_1 = 0,0836$ e $THD_I = 34,89\%$.

Figura 79 – Análise espectral e THD da corrente I_a (Comparador de 2-níveis)



Fonte: Arquivo pessoal

Diante dos resultados obtidos anteriormente, foram feitas novas aquisições das formas de onda aumentando-se o número de capacitores conectados por fase, elevando a capacitância para $940\mu F$. As Figuras 80 a 82 mostram as formas de onda da tensão fase-fase, da corrente de linha e da tensão sobre o capacitor flutuante, respectivamente.

Nota-se a melhoria significativa dos sinais sintetizados pelo inversor FC, mostrados através da Figura 80, e a presença mais definida dos três níveis de tensão ($V_{ab} = [204V, 101V \text{ e } 0V]$), valores obtidos através da utilização dos cursores do osciloscópio) a partir, respectivamente, da aplicação dos estados de chaveamento P , O e N .

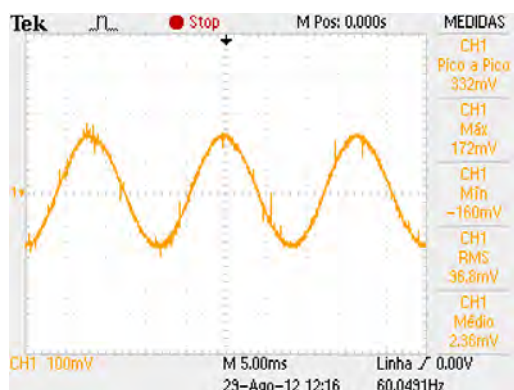
Figura 80 – Tensão fase-fase V_{ab} (Comparador de 2-níveis)



Fonte: Arquivo pessoal

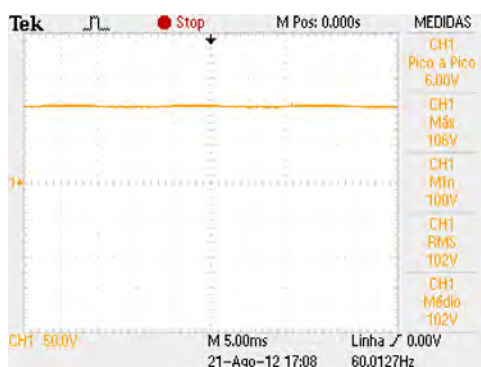
A forma de onda de corrente apresenta menor distorção devido ao melhoramento da simetria do sinal de tensão sintetizado pelo inversor FC.

Figura 81 – Corrente de saída da fase α (Comparador de 2-níveis)

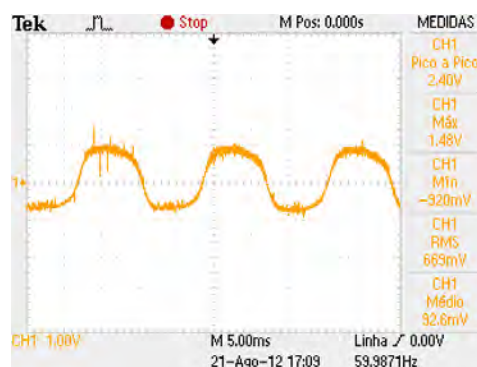


Fonte: Arquivo pessoal

Figura 82 – Tensão sobre o capacitor da fase α (Comparador de 2-níveis)



(a) Valor médio

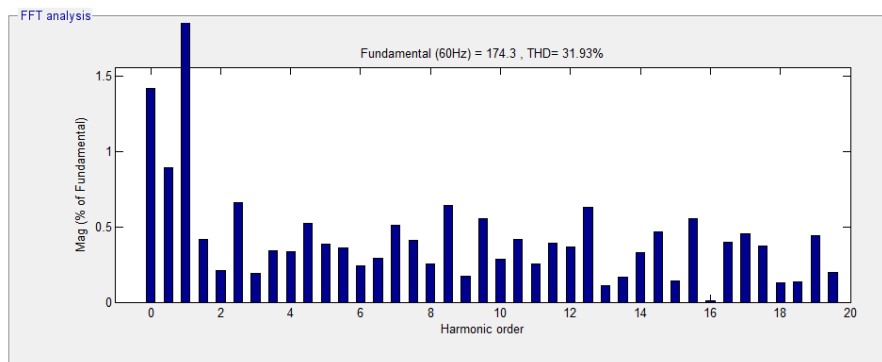


(b) Detalhe das oscilações da tensão

Fonte: Arquivo pessoal

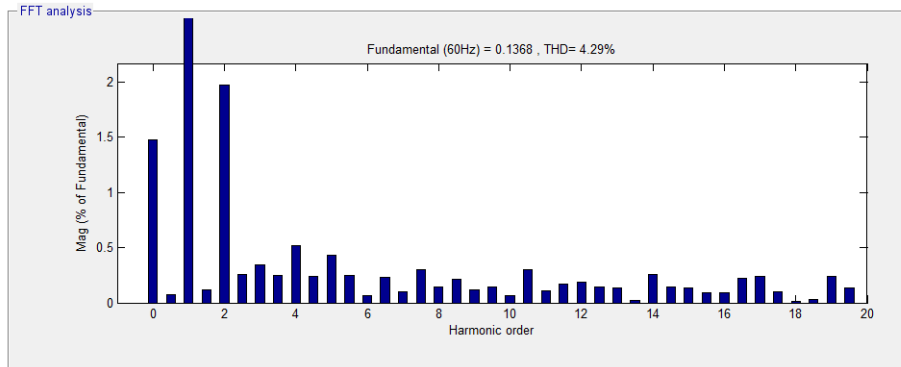
Nas Figuras 83 e 84 são mostrados os resultados da análise espectral, da tensão v_{ab} e da corrente I_a , obtidos utilizando o comparador de 2-níveis.

Figura 83 – Análise espectral e THD da tensão V_{ab} (Comparador de 2-níveis)



Fonte: Arquivo pessoal

Figura 84 – Análise espectral e THD da corrente I_a (Comparador de 2-níveis)



Fonte: Arquivo pessoal

Comparados com os resultados anteriores, comprova-se a diminuição da amplitude da componente fundamental ($V_1 = 174,3 \text{ V}$) e do valor da distorção harmônica ($THD_V = 31,93\%$), da tensão V_{ab} . Para a corrente da fase a , tem-se o aumento da componente fundamental ($I_1 = 0,1368 \text{ A}$) e a diminuição da distorção harmônica para $4,29\%$. As demais componentes harmônicas e inter-harmônicas possuem amplitudes inferiores a 2% da componente fundamental.

5.4.2 Comparador de três níveis

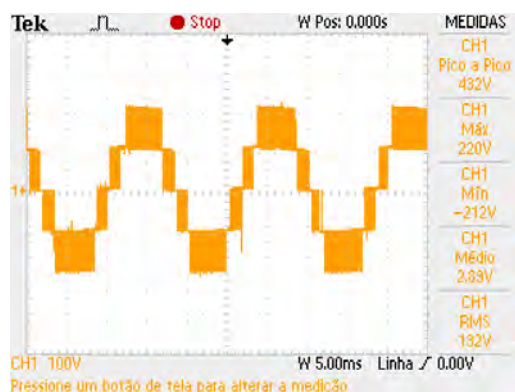
Visando à comparação entre os resultados experimentais e de simulação do controlador de três níveis (seção 4.3.2), a histerese em torno do valor de referência das tensões dos capacitores flutuantes foi mantida em $\Delta V_C = \pm 1 \text{ V}$. Além disso, foram considerados os valores de projeto para as capacitâncias dos capacitores flutuantes, ou seja, em $470 \mu\text{F}$.

A Figura 85 mostra a forma de onda de tensão V_{ab} . Diferentemente do que ocorreu no ensaio do inversor FC com controlador de 2-níveis, a forma de onda apresenta os três níveis de tensão mais definidos e um melhor balanceamento dos níveis intermediários. Como pode ser observado, mesmo na presença de ruídos nos sinais medidos de corrente de fase e tensão sobre os capacitores flutuantes, a distorção nas formas de onda de saída é reduzida. Isso comprova a maior robustez desse método de controle a perturbações presentes nos sinais medidos.

A corrente da fase a é mostrada na Figura 86. Em decorrência da simetria do sinal de tensão aplicado sobre o motor de indução, a distorção da forma de onda da corrente foi reduzida e a presença de componente CC é, praticamente, desprezível.

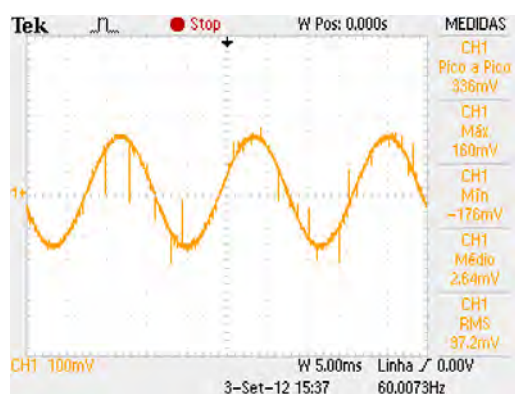
A tensão sobre o capacitor da fase a é mostrada na Figura 87, cujo valor médio é de 102 V . Conforme mencionado na subseção 3.4.2, o desvio máximo de tensão será maior quando comparado ao controlador de dois níveis, conforme Figura 87(b). No entanto, mesmo com uma redução de 50% da capacitância dos capacitores flutuantes, esse controle permitiu manter a tensão média sobre níveis equivalentes aos obtidos com o controle de dois níveis com capacitores flutuantes de $940 \mu\text{F}$.

Figura 85 – Tensão fase-fase V_{ab} (Comparador de 3-níveis)



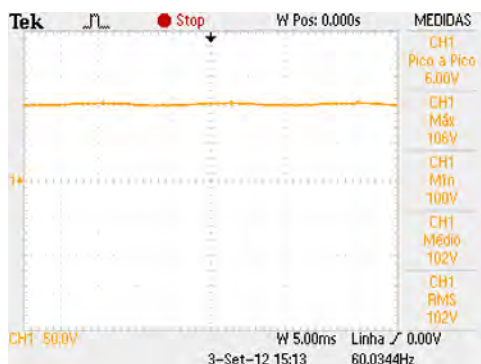
Fonte: Arquivo pessoal

Figura 86 – Corrente de saída da fase a (Comparador de 3-níveis)



Fonte: Arquivo pessoal

Figura 87 – Tensão sobre o capacitor da fase a (Comparador de 3-níveis)



(a) Valor médio



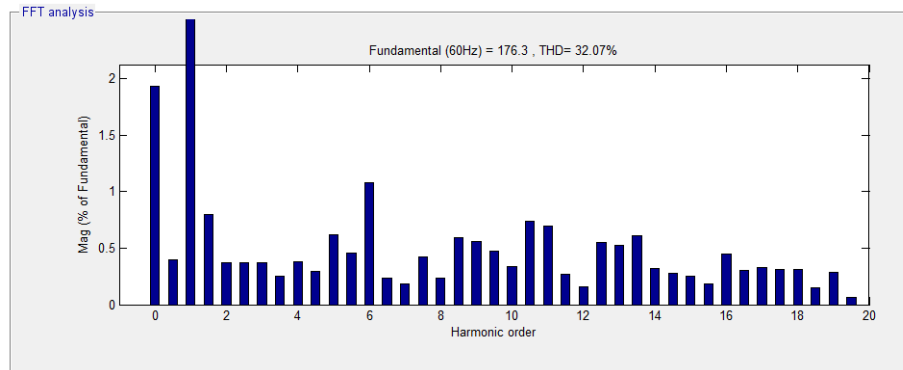
(b) Detalhe das oscilações da tensão

Fonte: Arquivo pessoal

Nas Figuras 88 e 89 são mostrados os resultados da análise espectral obtidos para este

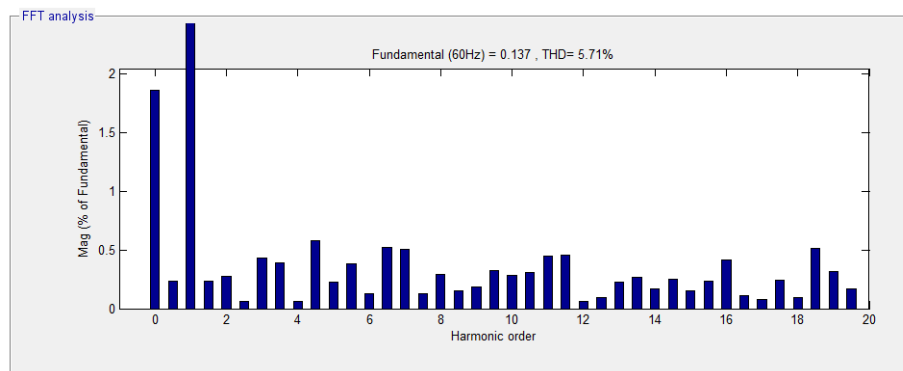
método. Comparados com os resultados anteriores, para o mesmo valor de capacitores flutuantes, comprova-se a redução da tensão da componente fundamental ($V_1 = 176,3 \text{ V}$) e da distorção harmônica ($\text{THD}_V = 32,07\%$), *datensofase – fase* V_{ab} .

Figura 88 – Análise espectral e THD da tensão V_{ab} (Comparador de 3-níveis)



Fonte: Arquivo pessoal

Figura 89 – Análise espectral e THD da corrente I_a (Comparador de 3-níveis)



Fonte: Arquivo pessoal

Para a corrente de saída da fase a , a componente fundamental apresenta uma amplitude de $I_1 = 0,137 \text{ A}$ e $\text{THD}_I = 5,71\%$. As demais componentes harmônicas e inter-harmônicas possuem amplitudes inferiores a 0,6% da componente fundamental.

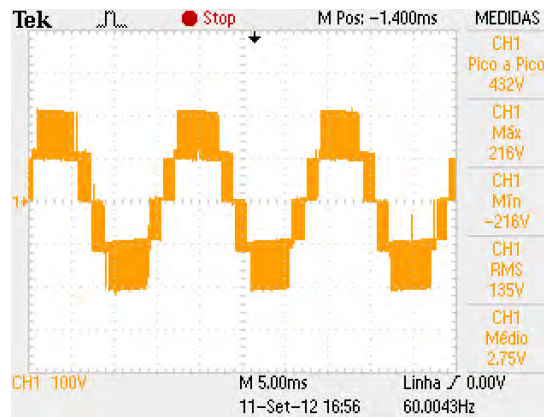
5.4.3 Controle de máximo de corrente

Basicamente, o método de controle de máximo de corrente (CMC) associa a localização de uma faixa de valores, em torno dos picos de corrente, ao controlador de três níveis. Assim, além de limitar a carga e subsequente descarga (e vice-versa) do capacitor flutuante durante os picos de máxima corrente, seleciona-se ainda uma faixa de histerese de forma a situar os limites

de comparação do sinal de tensão acima da amplitude máxima dos ruídos presentes nos sinais de medição.

A forma de onda da tensão fase-fase V_{ab} para esse método de controle é mostrada na Figura 90. Nesse resultado, quando comparado com aqueles obtidos nas Figuras 80 e 85, é possível notar um pequeno aumento sobre o desbalanceamento dos níveis intermediários da tensão V_{ab} .

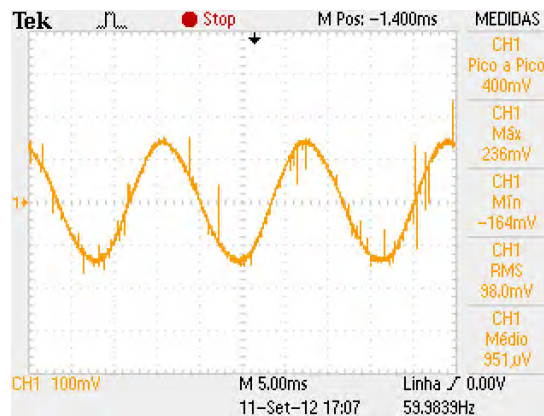
Figura 90 – Tensão fase-fase V_{ab} (Controle de máximo de corrente)



Fonte: Arquivo pessoal

Na Figura 91 é mostrada a forma de onda da corrente de saída da fase a , para uma frequência fundamental de 60 Hz.

Figura 91 – Corrente de saída da fase a (Controle de máximo de corrente)

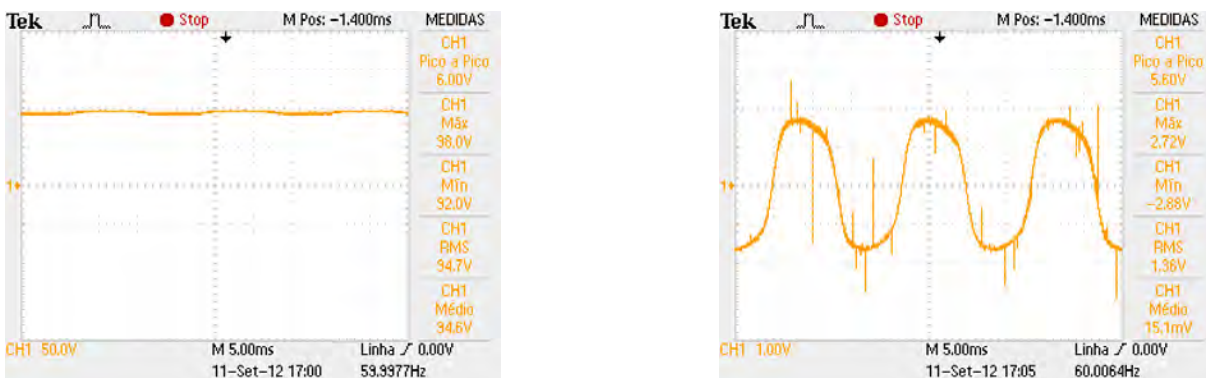


Fonte: Arquivo pessoal

A forma de onda da tensão sobre o capacitor da fase a é mostrada na 92, cujo valor médio é de 94,6V. Conforme a Figura 92(b), o desvio máximo de tensão sobre os capacitores é de, aproximadamente, $\pm\Delta 1,7V$.

Nas Figuras 93 e 94 são mostrados os resultados da análise espectral obtidos para o método de controle de corrente máxima. Quando comparado com os resultados obtidos com o controlador de três níveis, comprova-se o aumento da amplitude da componente fundamental ($V_1 = 179,9V$) e a diminuição do valor da distorção harmônica (THD = 31,84%), da tensão fase-fase V_{ab} . Nota-se que algumas componentes harmônicas (Ex: 2^a, 3^a, 4^a, 10^a) possuem amplitudes que variam, aproximadamente, de 0,5 à 2,5% da amplitude da componente fundamental.

Figura 92 – Tensão sobre o capacitor da fase a (Controle de máximo de corrente)

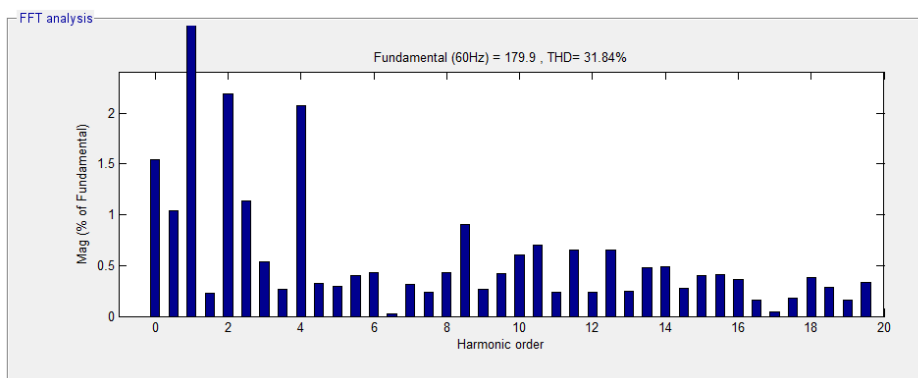


(a) Valor médio

(b) Detalhe das oscilações da tensão

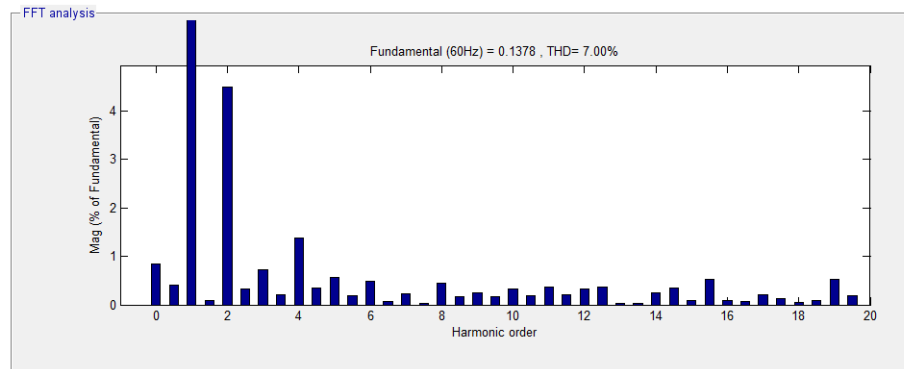
Fonte: Arquivo pessoal

Figura 93 – Análise espectral e THD da tensão V_{ab} (Controle de máximo de corrente)



Fonte: Arquivo pessoal

Para a corrente I_a , tem-se um aumento da componente fundamental ($I_1 = 0,1378A$) e o aumento da distorção harmônica para 7,0%. Com exceção à segunda componente (4,5%), as demais componentes harmônicas e inter-harmônicas possuem amplitudes inferiores a 1,5% da componente fundamental.

Figura 94 – Análise espectral e THD da corrente I_a (Controle de máximo de corrente)

Fonte: Arquivo pessoal

5.5 Conclusão

Nesse capítulo, foi apresentado o protótipo do inversor multinível a capacitor flutuante juntamente com o processador digital de sinais TMS320F2812, utilizado na implementação da estratégia SVPWM. Foram apresentados os resultados experimentais a partir da associação dessa estratégia de controle aos métodos de balanceamento da tensão dos capacitores flutuantes.

Os resultados experimentais comprovaram o funcionamento esperado do método de modulação por largura de pulso por vetor espacial, quando submetido à esta topologia do inversor a 3-níveis com capacitor flutuante. Nessa topologia, uma das questões mais importantes é o controle do balanceamento da tensão dos capacitores flutuantes. Conforme foi mostrado, a presença de ruídos nos sinais realimentados e utilizados no controle, pode provocar o desbalanceamento dessas tensões, gerando distorções sobre as tensões e correntes de saída.

O Quadro 16 apresenta os resultados obtidos de THD, amplitude da componente fundamental e o valor de tensão eficaz para as diferentes técnicas de controle de tensão sobre os capacitores flutuantes.

Quadro 16 – Comparação das Técnicas de Controle.

Comparador	Capacitância (μF)	THD_V	$V_1(V)$	V_{RMS}
Dois Níveis	940	40,36%	182,2	139,8
Dois Níveis	470	31,93%	174,3	130,5
Três Níveis	470	32,07%	176,3	130,6
Controle de Máximo de Corrente	470	31,84%	179,9	133,8

Fonte: Elaborado pelo autor

Os resultados obtidos com os comparadores de três níveis e de controle de máximo de corrente evidenciam o bom desempenho e a grande potencialidade do sistema para aplicações com o inversor multinível a capacitor flutuante, uma vez que permite a redução da capacitância dos capacitores de fase e menor *stress* das chaves estáticas.

6 CONCLUSÃO E PROPOSTA DE CONTINUIDADE

Com o desenvolvimento deste trabalho, foi possível analisar e avaliar estratégias de modulação por largura de pulsos usualmente utilizadas no controle de inversores multiníveis e técnicas de controle da tensão dos capacitores flutuantes, visando à redução da distorção harmônica dos sinais de saída de um inversor 3-níveis a capacitor flutuante aplicados à uma máquina de indução trifásica.

Especificamente, a técnica de modulação por largura de pulsos por vetor espacial (*space vector pulse width modulation* - SVPWM) e técnicas para o balanceamento das tensões dos capacitores flutuantes do inversor. Foram avaliadas, através de simulação e experimentalmente, a associação SVPWM e as estratégias de controle de 2-níveis, controle de 3-níveis e 2-níveis com controle de máxima corrente.

Como uma extensão do trabalho, foram elaboradas simulações e análises comparativas dos métodos de modulação por vetor espacial e um esquema modificado da modulação baseada em portadoras com mudança de nível e em fase (*level shift - phase disposition PWM* - LSPWM-PDPWM), proposto neste trabalho.

Os procedimentos de simulação foram realizados em ambiente MATLAB, através da modelagem do inversor FC em linguagem *script*, considerando-se chaves ideais sem restrição de tempo de condução e bloqueio. Os resultados obtidos comprovaram o bom desempenho do inversor 3-níveis a capacitor flutuante na sintetização de sinais senoidais, além da facilidade de controle dos níveis intermediários de tensões.

Nos testes experimentais, foi utilizado o protótipo inversor 3-níveis a capacitor flutuante disponibilizado pelo GEPSIN (Grupo de Estudos em Processamento de Sinais), no PP-GEE/PUC Minas. A implementação do *firmware*, foi realizada no *Starter Kit eZdsp F2812*, fabricado pela Texas Instruments Inc. (TI), com programação através do *Code Composer Studio*, em linguagem C/C++.

Os resultados de simulação e experimentais foram avaliados segundo critérios usuais aplicados à distorção harmônica, dentre eles, o índice THD (*Total Harmonic Distortion*), a análise espectral dos sinais, o valor máximo da componente fundamental e o valor eficaz dos sinais de saída. Foi possível comprovar a influência de alguns fatores na distorção harmônica dos sinais de saída, tais como a frequência de chaveamento, balanceamento das tensões sobre os capacitores de fase e a comutação nos instantes de máximo das corrente de linha.

Pode-se avaliar as técnicas de controle para o balanceamento das tensões intermediárias do inversor multinível a capacitor flutuante e concluir sobre as facilidades de implementação e desempenho de cada uma das técnicas estudadas.

Finalmente, este trabalho permitiu estabelecer as bases para a elaboração de futuros projetos na área de controle de inversores multiníveis e a utilização de processadores digitais de sinais como o TMS320F2812, da Texas Instruments. Neste sentido, além dos algoritmos específicos para a aplicação desenvolvida, o *firmware* foi implementado de forma que novas

técnicas de controle possam ser facilmente incorporadas.

Com base na revisão bibliográfica realizada, alguns temas para futuros trabalhos podem ser sugeridos a continuidade desta pesquisa:

- a) Análise experimental da técnica proposta LSPWM-PDPWM com injeção da 3^a harmônica;
- b) Extensão da topologia multinível aos inversores a capacitores flutuantes com $n \geq 4$ níveis;
- c) Desenvolvimento de algoritmos de controle, em ambiente DSP, para a realização de sistemas de acionamento de alto desempenho para máquinas de corrente alternada;
- d) Aplicação da topologia multinível à compensação de reativos em sistemas elétricos de potência;
- e) Estudos e aplicação de técnicas de identificação, como o Filtro de Kalman Estendido, para observação das tensões dos capacitores flutuantes, dentre outros.

REFERÊNCIAS

- ABU-RUB, H. et al. Medium-voltage multilevel converters - state of the art, challenges, and requirements in industrial applications. **Industrial Electronics, IEEE Transactions on**, v. 57, n. 8, p. 2581–2596, agosto 2010.
- ADABI, J.; SOLTANI, H.; ZARE, F. A pulse width modulation technique for a multilevel converter in high voltage high frequency applications. In: **POWER ELECTRONICS AND MOTION CONTROL CONFERENCE (EPE-PEMC 2008)**, 13, 2008, Poznań-Polônia. **Anais...** Poznań: [s.n.], 2008. p. 718–722.
- ADAM, G. et al. Modular multilevel inverter: Pulse width modulation and capacitor balancing technique. **Power Electronics, IET**, v. 3, n. 5, p. 702–715, setembro 2010.
- AKIN, B.; GARG, N. Scalar Control of 3-Phase Induction Motors. **C2000 Systems and Applications Team, Texas Instruments**, v.1, p.1-28, agosto 2010.
- ASPALLI, M.; WAMANRAO, A. Sinusoidal pulse width modulation (spwm) with variable carrier synchronization for multilevel inverter controllers. In: **CONTROL, AUTOMATION, COMMUNICATION AND ENERGY CONSERVATION (INCACEC 2009)**, 2009, Tamilnadu-Índia. **Anais...** Tamilnadu: [s.n.], 2009. p. 1–6.
- AVILA, D.; MENDES, M. S.; CORTIZO, P. Um novo método de modulação para conversores multiníveis com redução das perdas por comutação e thd. **SOBRAEP, Eletrônica de Potência**, v. 16, n. 2, p. 118–129, março 2011.
- BEZERRA, L. B. **Implementação de uma Bancada para Controle Eletrônico de Motores Síncronos de Ímã Permanente Utilizando um DSP**. 2004. Dissertação (Mestrado) - Universidade Federal do Rio de Janeiro, COPPE, Rio de Janeiro.
- BOSE, B. K. **Power Electronics and Motor Drives**. Burlington, MA, USA: Academic Press, 2006.
- CHOI, S.; SAEEDIFARD, M. A space vector modulation approach for capacitor voltage balancing of flying capacitor converters. In: **APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION (APEC 2011)**, 26, 2011, Fort Worth-EUA. **Anais...** Fort Worth: [s.n.], 2011. p. 1174–1179.
- CORZINE, K. **Operation and Design of Multilevel Inverters**. MotorLab, 2005. Disponível em: <http://www.motorlab.com/Motor%20Lab%20Web%20Site_files/04%20-%20Code!_files/Extended%20Operation%20of%20Flying%20Capacitor%20Multilevel%20Inverters.pdf>. Acesso em: 19 nov. 2011.
- DU, Z. et al. Reduced switching-frequency active harmonic elimination for multilevel converters. **Industrial Electronics, IEEE Transactions on**, v. 55, n. 4, p. 1761–1770, abril 2008.

EL-BAKRY, M. Selective harmonics minimization for multilevel inverters. In: COMPUTER AND ELECTRICAL ENGINEERING (ICCEE'09), 2, 2009, Dubai-UAE. **Anais...** Dubai: [s.n.], 2009. p. 341–346.

FAZEL, S. et al. Design and comparison of 4-kv neutral-point-clamped, flying-capacitor, and series-connected h-bridge multilevel converters. **Industry Applications, IEEE Transactions on**, v. 43, n. 4, p. 1032–1040, jul./ago. 2007.

FU, X. et al. Digital implement of selective harmonic elimination based on digital signal processor. In: ASIA PACIFIC CONFERENCE ON POSTGRADUATE RESEARCH IN (PrimeAsia 2009), 2009, Shanghai-China. **Anais...** Shanghai: [s.n.], 2009. p. 141–144.

GONÇALVES, J. **Estudo do comportamento do motor de indução trifásico sujeito a perturbações na qualidade da energia**. 2008. Dissertação (Mestrado) - Universidade de Trás-Os-Montes de Alto Douro, Departamento de Engenharias da Universidade de Trás-os-Montes e Alto Douro, Vila Real.

HAMMA, F. et al. Characteristics and design of multilevel choppers. In: POWER ELECTRONICS SPECIALISTS CONFERENCE (PESC'95), 26, 1995, Atlanta-EUA. **Anais...** Atlanta: [s.n.], 1995. p. 1208–1214.

HANZELKA, Z.; BIEN, A. Harmonics - interharmonics. **Power Quality Application Guide**, v.1, p.1-20, julho 2004.

HEREDIA, A. Lopez-de et al. Comparison of h-npc and parallel-h topologies for ac traction front-end converters. In: POWER ELECTRONICS AND APPLICATIONS (EPE'09), 13, 2009, Barcelona-Espanha. **Anais...** Barcelona: [s.n.], 2009. p. 1–9.

HOLMES, G.; LIPO, T. A. **Pulse Width Modulation For Power Converters - Principles and Practice**. Piscataway, NJ, USA: IEEE Press, 2003.

KHOMFOI, S.; TOLBERT, L. **Power Electronics Handbook, Second Edition: Devices, Circuits and Applications**. 2. ed. Burlington, MA, USA: Academic Press, 2006.

KOURO, S. et al. Recent advances and industrial applications of multilevel converters. **Industrial Electronics, IEEE Transactions on**, v. 57, n. 8, p. 2553–2580, agosto 2010.

LAALI, S.; ABBASZADEH, K.; LESANI, H. Development of multi-carrier pwm technique for multilevel inverters. In: INTERNATIONAL CONFERENCE ON SOFTWARE MAINTENANCE (ICEMS 2010), 2010, Timișoara-Romênia. **Anais...** Timișoara: [s.n.], 2010. p. 77–81.

LIU, H.; CHOI, N.; CHO, G. Dsp based space vector pwm for three-level inverter with dc-link voltage balancing. In: INDUSTRIAL ELECTRONICS, CONTROL AND INSTRUMENTATION (IECON'91), 1991, Kobe-Japão. **Anais...** Kobe: [s.n.], 1991. p. 197–203.

- LIU, Y.; HONG, H.; HUANG, A. Real-time calculation of switching angles minimizing the for multilevel inverters with step modulation. **Industrial Electronics, IEEE Transactions on**, v. 56, n. 2, p. 285–293, fevereiro 2009.
- MAIA, W.; PEIXOTO, Z. Design of a dsp controlled multilevel inverter: A study of the main aspects in the harmonics generation. In: POWER ELECTRONICS CONFERENCE (COBEP'09), 2009, Bonito-Brasil. **Anais...** Bonito: [s.n.], 2009. p. 698–704.
- MAIA, W. O. et al. **Análise e Implementação de um Conversor Trifásico Multinível a Capacitor Flutuante com Controle via DSP**. 2008. Monografia (Conclusão do curso) - Pontifícia Universidade Católica de Minas Gerais, Engenharia Eletrônica e de Telecomunicação, Belo Horizonte.
- MAIA, W. O.; PEIXOTO, Z. M. A. **Análise e Implementação de um Conversor Multinível a Capacitor Flutuante Controlado por DSP para Aplicações em Sistemas de Acionamento Elétrico**. 2007. Projeto de pesquisa - Pontifícia Universidade Católica de Minas Gerais, Belo Horizonte.
- MALINOWSKI, M. et al. A survey on cascaded multilevel inverters. **Industrial Electronics, IEEE Transactions on**, v. 57, n. 7, p. 2197–2206, julho 2010.
- MCGRATH, B.; HOLMES, D. Enhanced voltage balancing of a flying capacitor multilevel converter using phase disposition (pd) modulation. **Power Electronics, IEEE Transactions on**, v.26, n. 7, p. 1933-1942, julho 2011.
- MENDES, M. **Técnicas de Modulação em Largura de Pulso Vetorial para Inversores**. 2000. Tese (Doutorado) - Universidade Federal de Minas Gerais, Programa de Pós-Graduação em Engenharia Elétrica, Belo Horizonte.
- MENDES, M. et al. A space vector pwm method for three-level flying-capacitor inverters. In: POWER ELECTRONICS SPECIALISTS CONFERENCE (PESC 2001), 32, 2001, Vancouver-Canadá. **Anais...** Vancouver: [s.n.], 2001. p. 182–187.
- MEYNARD, T.; FOCH, H. Multi-level conversion: high voltage choppers and voltage-source inverters. In: Power Electronics Specialists Conference (PESC'92), 23, 1992, Toledo-Espanha. **Anais...** Toledo: [s.n.], 1992. p. 397–403.
- MUTHURAMALINGAM, A.; BALAJI, M.; HIMAVATHI, S. Selective harmonic elimination modulation method for multilevel inverters. In: INDIA INTERNATIONAL CONFERENCE ON POWER ELECTRONICS (IICPE 2006), 2006, Chennai-Índia. **Anais...** Chennai: [s.n.], 2006. p. 40–45.
- NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped pwm inverter. **Industry Applications, IEEE Transactions on**, n. 5, p. 518–523, setembro 1981.
- NEACSU, D. O. **Power-Switching Converters: Medium and High Power**. Boca Raton, FL, USA: CRC Press, 2006.

ODAVIC, M. et al. A theoretical analysis of the harmonic content of pwm waveforms for multiple-frequency modulators. **Power Electronics, IEEE Transactions on**, v. 25, n. 1, p. 131–141, janeiro 2010.

PANAGIS, P. et al. Comparison of state of the art multilevel inverters. In: POWER ELECTRONICS SPECIALISTS CONFERENCE (PESC 2008), 2008, Rhodes-Grécia. **Anais...** Rhodes: [s.n.], 2008. p. 4296–4301.

PEIXOTO, Z. M. A. **A Estimação de parâmetros e os conversores Multiníveis com Capacitor Flutuante no Acionamento de Máquinas de Indução**. 2000. Tese (Doutorado) - Universidade Federal de Minas Gerais, Programa de Pós-Graduação em Engenharia Elétrica,, Belo Horizonte.

PHILLIPS, C.; NAGLE, H. **Digital Control System - Analysis and Design**. 3. ed. Englewood Cliffs, NJ, USA: Prentice Hall, 1995.

POMILIO, J. **Efeitos de harmônicas em componentes do sistema elétrico**. Universidade Estadual de Campinas, 2011. Disponível em:
<<http://www.dsce.fee.unicamp.br/~antenor/htmlfile/harmo/fpcap4/cap4.html>>. Acesso em: 24 jan. 2011.

RODRIGUEZ, J. et al. Multilevel converters: An enabling technology for high-power applications. **Proceedings of the IEEE**, v. 97, n. 11, p. 1786–1817, novembro 2009.

RODRIGUEZ, J.; LAI, J.-S.; PENG, F. Z. Multilevel inverters: a survey of topologies, controls, and applications. **Industrial Electronics, IEEE Transactions on**, v. 49, n. 4, p. 724–738, agosto 2002a.

RODRIGUEZ, J. et al. A vector control technique for medium-voltage multilevel inverters. **Industrial Electronics, IEEE Transactions on**, v. 49, n. 4, p. 882–888, agosto 2002b.

SEMIKRON. **Semidriver skhi 23/12**. Semikron, 2012. Disponível em:
<http://www.semikron.com/products/data/cur/assets/SKHI_23_12_R_L5002371.pdf>. Acesso em: 01 jan. 2012.

SHUKLA, A.; GHOSH, A.; JOSHI, A. Capacitor voltage balancing schemes in flying capacitor multilevel inverters. In: POWER ELECTRONICS SPECIALISTS CONFERENCE (PESC 2007), 2007, Orlando-EUA. **Anais...** Orlando: [s.n.], 2007. p. 2367–2372.

SHUKLA, A.; GHOSH, A.; JOSHI, A. Improved multilevel hysteresis current regulation and capacitor voltage balancing schemes for flying capacitor multilevel inverter. **Power Electronics, IEEE Transactions on**, v. 23, n. 2, p. 518–529, março 2008.

SHUKLA, A.; GHOSH, A.; JOSHI, A. Natural balancing of flying capacitor voltages in multicell inverter under pd carrier-based pwm. **Power Electronics, IEEE Transactions on**, v. 26, n. 6, p. 1682–1693, junho 2011.

SOURKOUNIS, C.; AL-DIAB, A. A comprehensive analysis and comparison between multilevel space-vector modulation and multilevel carrier-based pwm. In: POWER ELECTRONICS AND MOTION CONTROL CONFERENCE (EPE-PEMC 2008), 13, 2008, Poznań-Polônia. **Anais...** Poznań: [s.n.], 2008. p.1710–1715.

THIELEMANS, S.; VYNCKE, T.; MELKEBEEK, J. Balancing and harmonic analysis of flying capacitor multilevel converters. In: Electrical and Electronics Engineers in Israel (IEEEI 2008), 25, 2008, Eilat-Israel. **Anais...** Eilat: [s.n.], 2008. p. 609–613.

TEXAS INSTRUMENTS. **C28x dsp design workshop - student guide**. Texas Instruments, 2004. Disponível em: <<http://software-dl.ti.com/trainingTTO/trainingTTO/public/sw-/c28x2812/C28x%20Workshop.pdf>>. Acesso em: 04 mar. 2004.

TEXAS INSTRUMENTS. **Ac induction motor for tmdshvmtrpfc kit**. Texas Instruments, 2012. Disponível em: <<http://www.ti.com/tool/hvacimtr>>. Acesso em: 02 out. 2012.

VASQUEZ, L. **Control of a Variable Speed Drive with a Multilevel Inverter for subsea applications**. 2010. Dissertação (Mestrado) - Norwegian University of Science and Technology, Department of Electric Power Engineering, Trondheim.

WAGNER, V. et al. Effects of harmonics on equipment. **Power Delivery, IEEE Transactions on**, v. 8, n. 2, p. 672–680, abril 1993.

WANG, J.; AHMADI, D. A precise and practical harmonic elimination method for multilevel inverters. **Industry Applications, IEEE Transactions on**, v. 46, n. 2, p. 857–865, mar./abr. 2010.

WEG. **Motores de Indução Alimentados por Inversores de Frequência PWM**. WEG, 2012. Disponível em: <<http://ecatalog.weg.net/files/wegnet/WEG-motores-de-inducao-alimentados-por-inversores-de-frequencia-pwm-027-artigo-tecnico-portugues-br.pdf>>. Acesso em: 23 mar. 2012.

ZHANG, L.; WATKINS, S.; CHANG, D. Q. Control of multilevel flying capacitor inverters for high performance. In: Power Electronics and Motion Control Conference (IPEMC 2006), 5, 2006, Shanghai-China. **Anais...** Shanghai: [s.n.], 2006. p. 1–6.

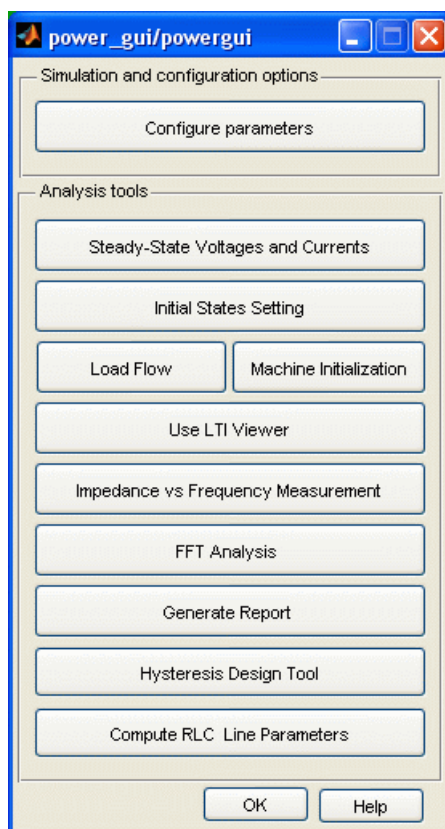
ZHAO, D. et al. Space-vector-based hybrid pulsewidth modulation techniques for reduced harmonic distortion and switching loss. **Power Electronics, IEEE Transactions on**, v. 25, n. 3, p. 760–774, março 2010.

APÊNDICES

APÊNDICE A – POWERGUI

O bloco *Powergui* é parte integrante da *toolbox* SimPowerSystems do *software* Simulink-MATLAB e fornece várias interfaces gráficas (*graphical user interface - GUI*) e funções para a análise de estado estacionário de modelos SimPowerSystems, a análise dos resultados da simulação e para a elaboração de parâmetros de blocos avançados. Na Figura 95 é mostrado a janela principal. Dentre as diversas funcionalidades disponíveis, somente a função *FFT Analysis* será objeto de estudo nesse apêndice.

Figura 95 – Caixa de diálogo e parâmetros do *Powergui*



Fonte: Arquivo pessoal

A seguir, serão mostradas as sequências de ações para se efetuar a análise FFT de um sinal gerado por arquivo *script* no MATLAB:

- a) *Script* no MATLAB

O código A.0.1 foi implementado no MATLAB, através de *script*, para gerar duas formas de onda senoidais (X e Y) e efetuar a soma desses vetores, resultando no vetor Z. A Figura 96 mostra os sinais gerados.

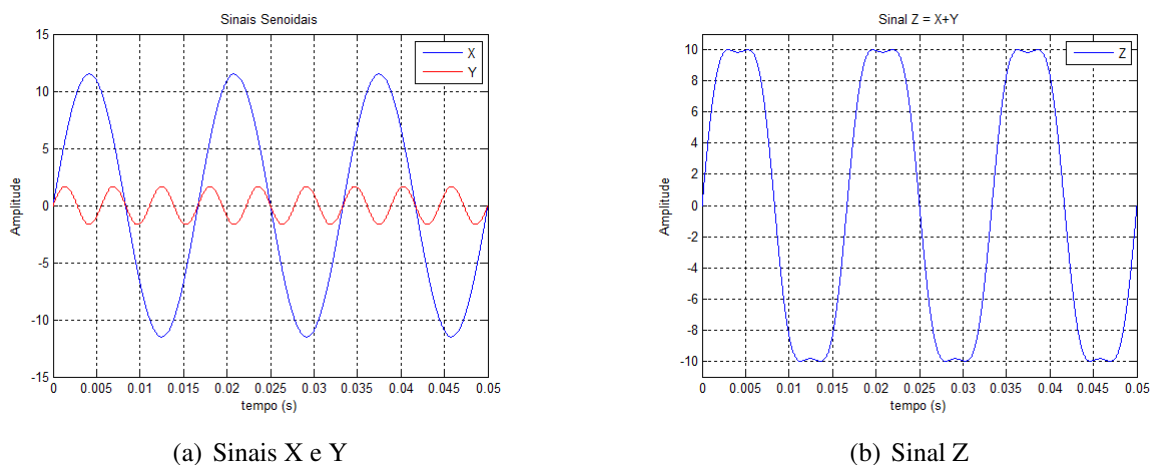
```

1  %=====
2  close all          % Fecha todas as janelas de figuras
3  clc               % Limpa a janela de comandos
4  clear all        % Limpa todas as variis e funs
5  clf              % Limpa grcos
6  %=====
7
8  t = [0:0.00001:0.05]';
9  f = 60;
10 Vm = 10;
11
12 X = ((Vm*1.15) * sin(2*pi*f*t));
13 Y = ((Vm/6)* sin(2*pi*3*f*t));
14 Z = X + Y;
15
16 figure(1)
17 plot(t,X)
18 hold on
19 plot(t,Y,'red')
20 title('Sinais Senoidais')
21 ylabel('Amplitude')
22 xlabel('tempo (s)')
23 legend('X','Y');
24 grid on
25
26 figure(2)
27 plot(t,Z)
28 title('Sinal Z = X+Y')
29 ylabel('Amplitude')
30 xlabel('tempo (s)')
31 legend('Z');
32 grid on
33 %=====

```

Código A.0.1: *Script* implementado no MATLAB.

Figura 96 – Sinais gerados a partir do *script* do MATLAB



(a) Sinais X e Y

(b) Sinal Z

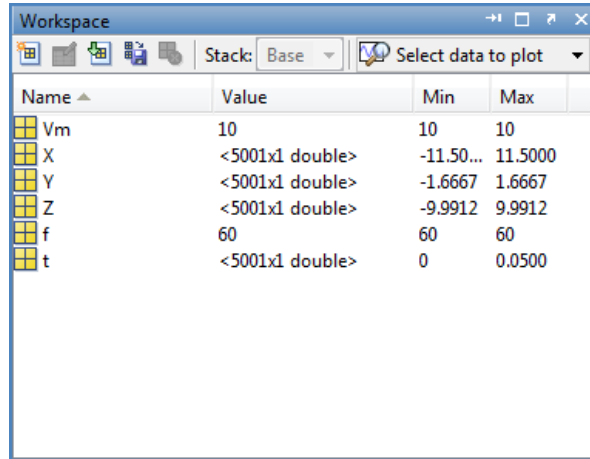
Fonte: Arquivo pessoal

b) Modelo implementado no Simulink

Uma vez que o código A.0.1 é interpretado pelo MATLAB, os vetores gerados, assim como os seus respectivos dados, são armazenados na janela *Workspace*, conforme é

mostrado na Figura 97.

Figura 97 – Janela *Workspace* do MATLAB

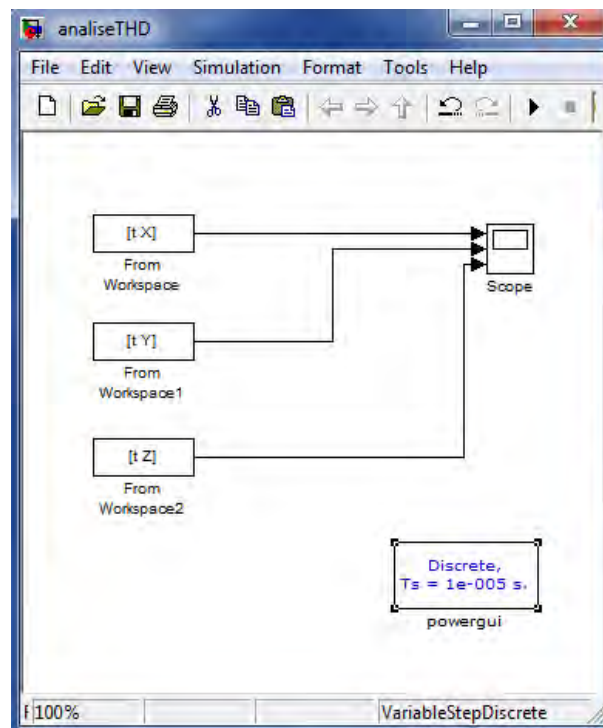


Name	Value	Min	Max
Vm	10	10	10
X	<5001x1 double>	-11.50...	11.5000
Y	<5001x1 double>	-1.6667	1.6667
Z	<5001x1 double>	-9.9912	9.9912
f	60	60	60
t	<5001x1 double>	0	0.0500

Fonte: Arquivo pessoal

O modelo mostrado na Figura 98, implementado no Simulink, utiliza os vetores **X**, **Y**, **Z** e **t**. Os dados são transferidos para o Simulink através dos blocos *From Workspace*.

Figura 98 – Caixa de diálogo e parâmetros do *powergui*

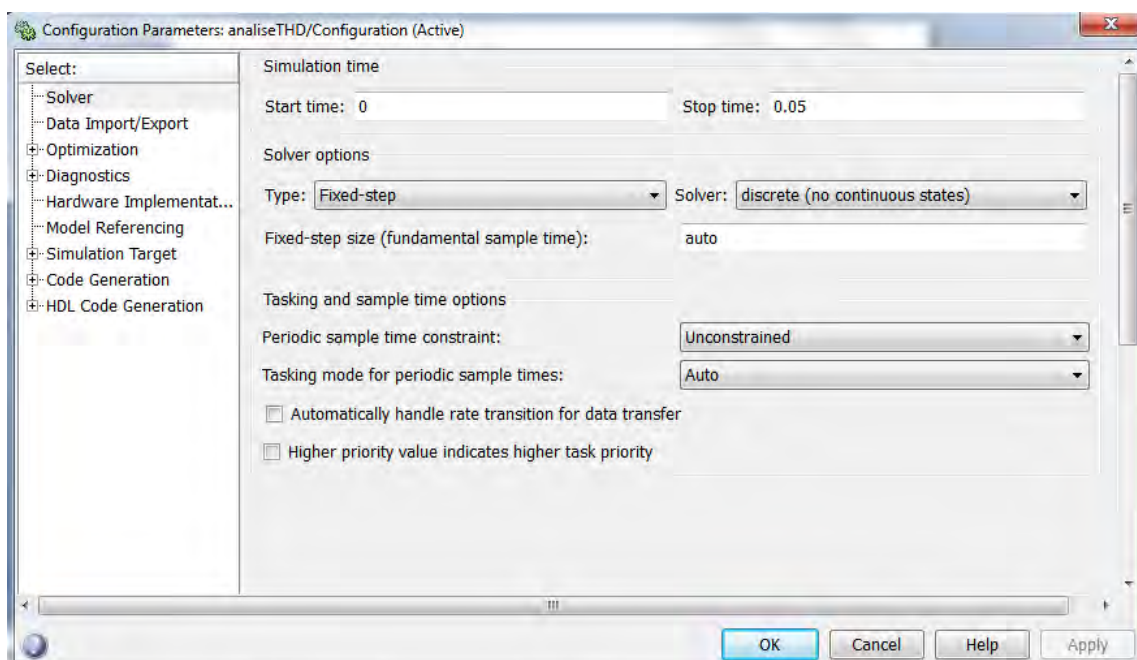


Fonte: Arquivo pessoal

É importante ressaltar que o bloco *From Workspace* transfere apenas vetores do tipo vetor-coluna. No código A.0.1, linha 8, é utilizado o operador dois pontos (: :), que por *default* gera sempre um vetor linha. Por isso, o vetor **t** precisa ser transposto através do comando ([]').

Os parâmetros de simulação são configurados através da janela *Configuration Parameters* (Menu *Simulation* → *Configuration Parameters*). São definidos o tempo inicial e final de simulação. Além disso, o *Solver options* é configurado para utilizar o método de resolução discreto (*discrete - no continuous states*)(Fig.99).

Figura 99 – Janela de configuração dos parâmetros de simulação

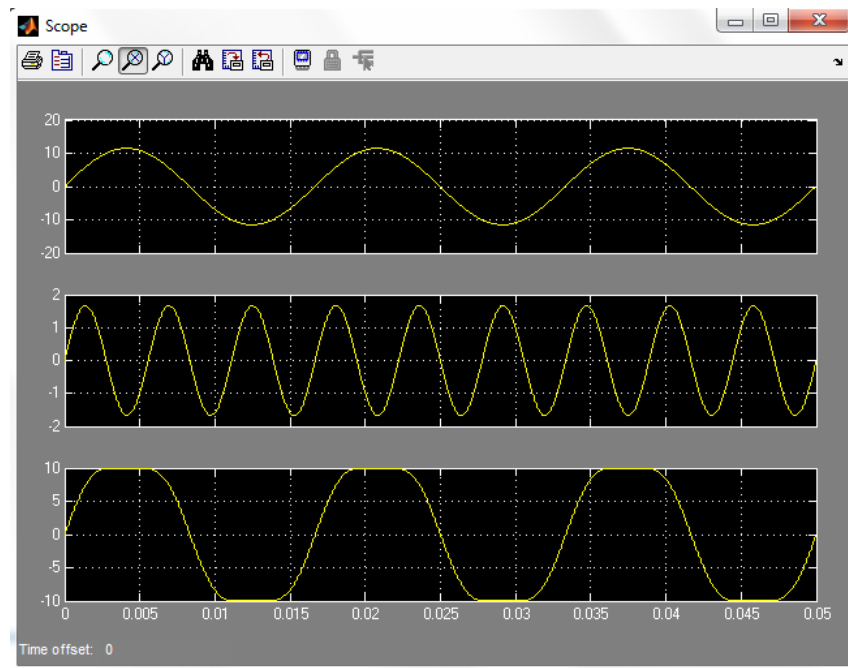


Fonte: Arquivo pessoal

O *scope* é uma ferramenta utilizada para visualizar as formas de onda, conforme Figura 100. Além disso, o mesmo deve ter os seus parâmetros configurados para gerar a estrutura de dados a ser utilizada pela função *FFT Analysis*.

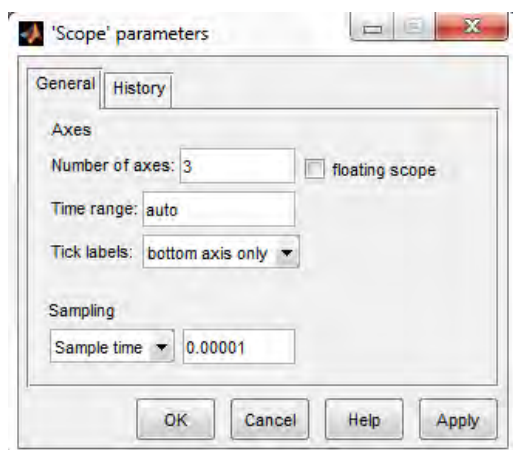
A configuração do *scope* é feita através da janela *parameters* (o segundo botão na barra de ferramentas da janela do *Scope*). Na aba *General* (Fig. 101(a)), o parâmetro *Sampling* é configurado de acordo com o incremento do vetor **t** do código *script*. Na aba *History* (Fig. 101(b)), o número de amostras é de 5001. Esse é o número de amostras que será utilizado para plotar as formas de onda no *scope* e deve estar de acordo com o tamanho dos vetores [t X], [t Y] e [t Z] presentes na janela *Workspace*. O arquivo que será gerado (ScopeData) será utilizado posteriormente na ferramenta de análise de FFT.

Figura 100 – Visualização das formas de onda através do *scope*

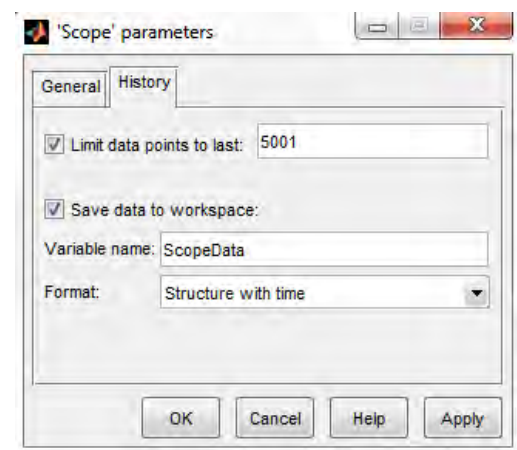


Fonte: Arquivo pessoal

Figura 101 – Sinais gerados a partir do *script* do MATLAB



(a) Aba *General*



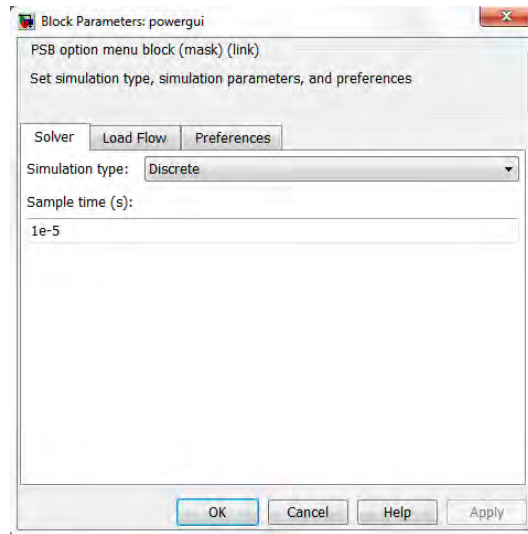
(b) Aba *History*

Fonte: Arquivo pessoal

c) Configurando o *Powergui*

Assim como acontece no *scope*, o bloco *Powergui* precisa ter seus parâmetros de simulação configurados. Ao clicar no botão *Configure parameters* (Fig. 95), é mostrada a janela da Figura 102. É selecionada a simulação discreta (*simulation type: discrete*) com tempo de amostragem igual à 1×10^{-5} s.

Figura 102 – Janela de configuração dos parâmetros do *Powergui*

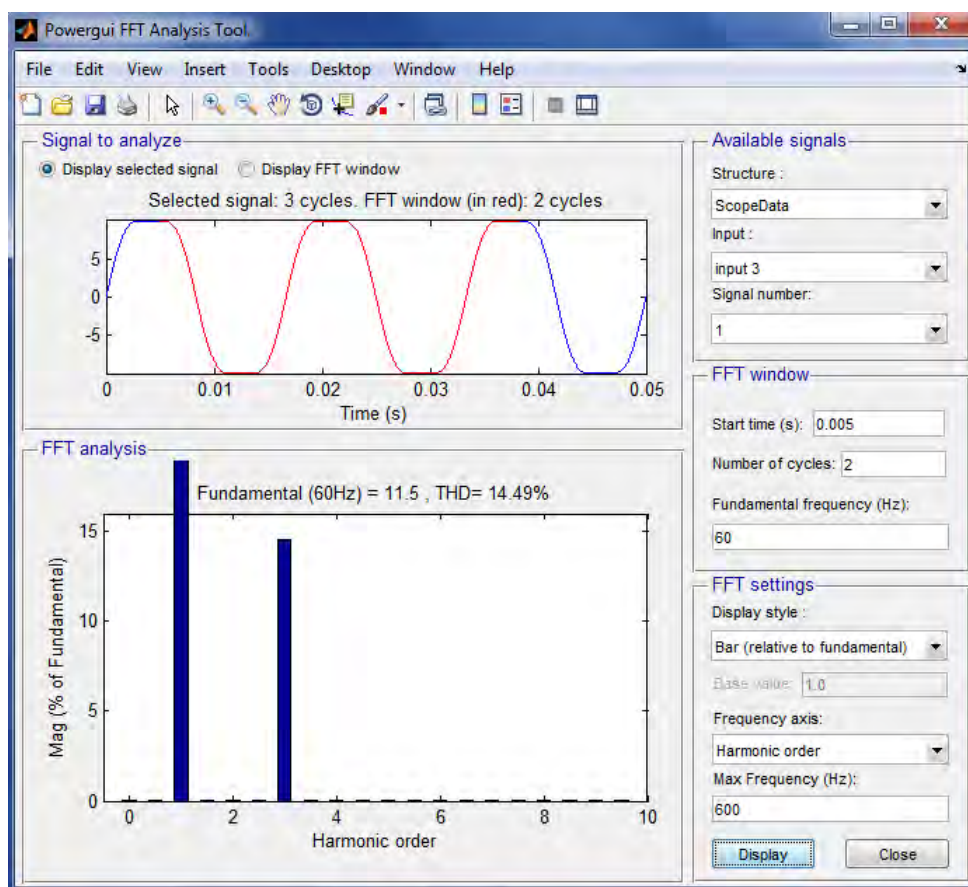


Fonte: Arquivo pessoal

d) *FFT Analysis*

Na Figura 103 é mostrada a janela da função *FFT Analysis*. Na lateral esquerda existem três campos: 1-*Available signals*; 2-*FFT window*; 3-*FFT settings*. No primeiro, usuário pode selecionar uma dentre as estruturas de dados disponíveis e os sinais de entrada a serem analisados. No segundo, são selecionados o instante inicial, o número de ciclos e a frequência fundamental. Por último, é possível escolher o tipo de visualização e frequência máxima.

O campo de visualização *Signal to analyze* mostra o sinal selecionado em *Available signals*. Já no campo de visualização *FFT analysis* são mostrados os valores da componente fundamental e a distorção harmônica total (*total harmonic distortion - THD*) desse sinal. Além disso, têm-se o espectro harmônico do sinal até a frequência máxima indicada no campo *Max Frequency (Hz)*.

Figura 103 – Janela do *FFT Analysis*

Fonte: Arquivo pessoal

ANEXOS

ANEXO A – Algoritmo SVPWM

Neste anexo é apresentado o Algoritmo 1, utilizado para determinação dos tempos de comutação τ_{px} e τ_{nx} , gerando assim o sinal PWM que será aplicado ao inversor multinível. Este algoritmo deve ser implementado considerando-se as chaves estáticas ideais. A sequência de ações segue abaixo:

1. Amostrar as tensões fase-neutro de referência: v_{an} , v_{bn} e v_{cn} .
2. Comparar as tensões fase-neutro amostradas para a localização do setor sobre o hexágono a Fig. Figura 19, através da ordenação das tensões, conforme a Quadro 6.
3. Renomear os vetores e criar variável auxiliar (ex.: setor) para memorizar o setor original.

Setor A

vref1 = van;
vref2 = vbn;
vref3 = vcn;
setor = 1;

Setor B

vref1 = vbn;
vref2 = van;
vref3 = vcn;
setor = 2;

Setor C

vref1 = vbn;
vref2 = vcn;
vref3 = van;
setor = 3;

Setor D

vref1 = vrefc;
vref2 = vrefb;
vref3 = vrefa;
setor = 4;

Setor E

vref1 = vcn;
vref2 = van;
vref3 = vbn;
setor = 5;

Setor F

vref1 = van;
vref2 = vcn;
vref3 = vbn;
setor = 6;

4. Neste ponto do algoritmo, é verificado se a extremidade do vetor de referência está fora do hexágono de operação do inversor (Fig. 22), denominada região de sobremodulação. Em caso afirmativo, a tensão é limitada em função da tensão máxima permitida pelo barramento CC.

Se $vref1 - vref3 > E$, o vetor referência está na região de sobremodulação. Então:

$$K = \frac{E}{vref1 - vref3} \quad (50)$$

e

$$\begin{cases} vref1 = K \cdot vref1 \\ vref2 = K \cdot vref2 \\ vref3 = K \cdot vref3 \end{cases} \quad (51)$$

5. Na sequência, determina-se a região do setor encontrado anteriormente. A região onde se encontra o vetor tensão de referência é dada pelas relações apresentadas na Quadro 7.

6. Definido o setor e a região do vetor tensão de referência, calcula-se a largura dos pulsos através das expressões apropriadas a cada setor.

- Se $v_{ref1} - v_{ref3} < E/2$, o vetor referência pertence à região 1. Logo:

$$\left\{ \begin{array}{l} \tau_{p1} = \frac{T}{4} + \frac{T}{2E}[v_{ref1} - v_{ref3}] \\ \tau_{n1} = \frac{T}{4} - \frac{T}{2E}[v_{ref1} - v_{ref3}] \\ \tau_{p2} = \frac{T}{4} + \frac{3T}{2E}[v_{ref2}] \\ \tau_{n2} = \frac{T}{4} - \frac{3T}{2E}[v_{ref2}] \\ \tau_{p3} = \tau_{n1} \\ \tau_{n3} = \tau_{p1} \end{array} \right. \quad (52)$$

- Se $v_{ref2} - v_{ref1} < -E/2$, o vetor referência pertence à região 2. Logo:

$$\left\{ \begin{array}{l} \tau_{p1} = \tau_{n3} = \frac{T}{E}[v_{ref1} - v_{ref3}] \\ \tau_{n1} = \tau_{p2} = \tau_{p3} = 0 \\ \tau_{n2} = -\frac{3T}{E}[v_{ref2}] \end{array} \right.$$

- Se $v_{ref2} - v_{ref3} > E/2$, o vetor referência pertence à região 4. Logo:

$$\left\{ \begin{array}{l} \tau_{p1} = \tau_{n3} = \frac{T}{E}[v_{ref1} - v_{ref3}] \\ \tau_{n1} = \tau_{n2} = \tau_{p3} = 0 \\ \tau_{p2} = \frac{3T}{E}[v_{ref2}] \end{array} \right.$$

- Senão, o vetor referência pertence à região 3. Logo:

$$\left\{ \begin{array}{l} \tau_{p1} = \tau_{n3} = \frac{T}{E}[v_{ref1} - v_{ref3}] \\ \tau_{n1} = \tau_{p3} = 0 \\ \tau_{p2} = \frac{T}{2} + \frac{T}{E}[v_{ref2} - v_{ref1}] \\ \tau_{n2} = \frac{T}{2} + \frac{T}{E}[v_{ref3} - v_{ref2}] \end{array} \right.$$

7. Reordena-se os vetores em função do setor original.

Se setor == 1

$$\tau_{pa} = \tau_{p1};$$

$$\tau_{na} = \tau_{n1};$$

$$\tau_{pb} = \tau_{p2};$$

$$\tau_{nb} = \tau_{n2};$$

$$\tau_{pc} = \tau_{p3};$$

$$\tau_{nc} = \tau_{n3};$$

Se setor == 2

$$\tau_{pb} = \tau_{p1};$$

$$\tau_{nb} = \tau_{n1};$$

$$\tau_{pa} = \tau_{p2};$$

$$\tau_{na} = \tau_{n2};$$

$$\tau_{pc} = \tau_{p3};$$

$$\tau_{nc} = \tau_{n3};$$

Se setor == 3

$$\tau_{pb} = \tau_{p1};$$

$$\tau_{nb} = \tau_{n1};$$

$$\tau_{pc} = \tau_{p2};$$

$$\tau_{nc} = \tau_{n2};$$

$$\tau_{pa} = \tau_{p3};$$

$$\tau_{na} = \tau_{n3};$$

Se setor == 4

$$\tau_{pc} = \tau_{p1};$$

$$\tau_{nc} = \tau_{n1};$$

$$\tau_{pb} = \tau_{p2};$$

$$\tau_{nb} = \tau_{n2};$$

$$\tau_{pa} = \tau_{p3};$$

$$\tau_{na} = \tau_{n3};$$

Se setor == 5

$$\tau_{pc} = \tau_{p1};$$

$$\tau_{nc} = \tau_{n1};$$

$$\tau_{pa} = \tau_{p2};$$

$$\tau_{na} = \tau_{n2};$$

$$\tau_{pb} = \tau_{p3};$$

$$\tau_{nb} = \tau_{n3};$$

Se setor == 6

$$\tau_{pa} = \tau_{p1};$$

$$\tau_{na} = \tau_{n1};$$

$$\tau_{pc} = \tau_{p2};$$

$$\tau_{nc} = \tau_{n2};$$

$$\tau_{pb} = \tau_{p3};$$

$$\tau_{nb} = \tau_{n3};$$

ANEXO B – Tabela dos estados de chaveamento

A Tabela a seguir está disponível em (PEIXOTO, 2000):

Quadro 17 – Estados de chaveamento

Vetor	Configuração	SC_a	SC_b	SC_c	V_{an}	V_{bn}	V_{cn}	V_α	V_β
V_0	NNN	-1	-1	-1	0	0	0	0	0
	OOO	0	0	0	0	0	0	0	0
	PPP	1	1	1	0	0	0	0	0
V_1	POO	1	0	0	$\frac{E}{3}$	$-\frac{E}{6}$	$-\frac{E}{6}$	$\frac{E}{3}$	0
	ONN	0	-1	-1	$\frac{E}{3}$	$-\frac{E}{6}$	$-\frac{E}{6}$	$\frac{E}{3}$	0
V_2	PNN	1	-1	-1	$\frac{2E}{3}$	$-\frac{E}{3}$	$-\frac{E}{3}$	$\frac{2E}{3}$	0
V_3	PON	1	0	-1	$\frac{E}{2}$	0	$-\frac{E}{2}$	$\frac{E}{2}$	$\frac{\sqrt{3}E}{6}$
V_4	PPO	1	1	0	$\frac{E}{6}$	$\frac{E}{6}$	$-\frac{E}{3}$	$\frac{E}{6}$	$\frac{\sqrt{3}E}{6}$
	OON	0	0	-1	$\frac{E}{6}$	$\frac{E}{6}$	$-\frac{E}{3}$	$\frac{E}{6}$	$\frac{\sqrt{3}E}{6}$
V_5	PPN	1	1	-1	$\frac{E}{3}$	$\frac{E}{3}$	$-\frac{2E}{3}$	$\frac{E}{3}$	$\frac{\sqrt{3}E}{3}$
V_6	OPN	0	1	0	0	$\frac{E}{2}$	$-\frac{E}{2}$	0	$\frac{\sqrt{3}E}{3}$
V_7	OPO	0	1	0	$-\frac{E}{6}$	$\frac{E}{3}$	$-\frac{E}{6}$	$-\frac{E}{6}$	$\frac{\sqrt{3}E}{6}$
	NON	-1	0	-1	$-\frac{E}{6}$	$\frac{E}{3}$	$-\frac{E}{6}$	$-\frac{E}{6}$	$\frac{\sqrt{3}E}{6}$
V_8	NPN	-1	1	-1	$-\frac{E}{3}$	$\frac{2E}{3}$	$-\frac{E}{3}$	$-\frac{E}{3}$	$\frac{\sqrt{3}E}{3}$
V_9	NPO	-1	1	0	$-\frac{E}{2}$	$\frac{E}{2}$	0	$-\frac{E}{2}$	$\frac{\sqrt{3}E}{6}$
V_{10}	OPP	0	1	1	$-\frac{E}{3}$	$\frac{E}{6}$	$\frac{E}{6}$	$-\frac{E}{3}$	0
	NOO	-1	0	0	$-\frac{E}{3}$	$\frac{E}{6}$	$\frac{E}{6}$	$-\frac{E}{3}$	0
V_{11}	NPP	0	1	1	$-\frac{2E}{3}$	$\frac{E}{3}$	$\frac{E}{3}$	$-\frac{2E}{3}$	0
V_{12}	NOP	-1	0	1	$-\frac{E}{2}$	0	$\frac{E}{2}$	$-\frac{E}{2}$	$-\frac{\sqrt{3}E}{6}$
V_{13}	OOP	0	0	1	$-\frac{E}{6}$	$-\frac{E}{6}$	$\frac{E}{3}$	$-\frac{E}{6}$	$-\frac{\sqrt{3}E}{6}$
	NNO	-1	-1	0	$-\frac{E}{6}$	$-\frac{E}{6}$	$\frac{E}{3}$	$-\frac{E}{6}$	$-\frac{\sqrt{3}E}{6}$
V_{14}	NNP	-1	-1	1	$-\frac{E}{3}$	$-\frac{E}{3}$	$\frac{2E}{3}$	$-\frac{E}{3}$	$-\frac{\sqrt{3}E}{3}$
V_{15}	ONP	0	-1	1	0	$-\frac{E}{2}$	$\frac{E}{2}$	0	$-\frac{\sqrt{3}E}{3}$
V_{16}	POP	1	0	1	$\frac{E}{6}$	$-\frac{E}{3}$	$\frac{E}{6}$	$\frac{E}{6}$	$-\frac{\sqrt{3}E}{6}$
	ONO	0	-1	0	$\frac{E}{6}$	$-\frac{E}{3}$	$\frac{E}{6}$	$\frac{E}{6}$	$-\frac{\sqrt{3}E}{6}$
V_{17}	PNP	1	-1	1	$\frac{E}{3}$	$-\frac{2E}{3}$	$\frac{E}{3}$	$\frac{E}{3}$	$-\frac{\sqrt{3}E}{3}$
V_{18}	PNO	1	-1	0	$\frac{E}{2}$	$-\frac{E}{2}$	0	$\frac{E}{2}$	$-\frac{\sqrt{3}E}{6}$

Fonte: Peixoto (2000)

ANEXO C – Especificações da máquina de indução

As especificações técnicas do motor de indução são apresentadas a seguir:

- a) Fabricante: Marathon
- b) Modelo: 5K33GN2A
- c) Alimentação: Delta (208-230V) / Estrela (460V)
- d) Corrente: Delta (1,3-1,4A) / Estrela (0,7A)
- e) Rotação: 1725 rpm
- f) Potência: 1/4 cv

Figura 104 – Motor CA modelo 5K33GN2A



Fonte: Texas Instruments (2012)